

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-118383

(P 2001-118383A)

(43) 公開日 平成13年4月27日 (2001. 4. 27)

(51) Int. Cl.⁷

識別記号

F I

テーマコード(参考)

G 1 1 C 11/403
11/407

G 1 1 C 11/34 3 6 3 M 5B024
3 6 2 S

審査請求 未請求 請求項の数 9

O L

(全 3 7 頁)

(21) 出願番号 特願平11-298354

(22) 出願日 平成11年10月20日 (1999. 10. 20)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 田口 眞男

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72) 発明者 松崎 康郎

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 100094525

弁理士 土井 健二 (外1名)

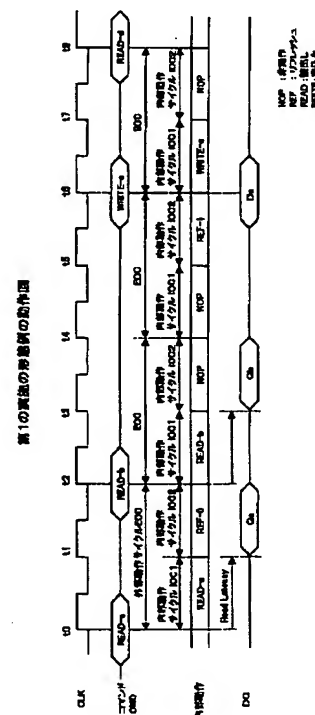
F ターム(参考) 5B024 AA15 BA20 BA21 BA23 CA07
CA16 DA18

(54) 【発明の名称】 リフレッシュを自動で行うダイナミックメモリ回路

(57) 【要約】

【課題】 メモリコントローラによるリフレッシュ管理を不要にしたダイナミックメモリ回路を提供する。

【解決手段】 本発明のダイナミックメモリ回路では、コマンドに従う1つの外部動作サイクルEOCに対して、第1及び第2の内部動作サイクルIOC1、IOC2を割り当て、第1の内部動作サイクルで前記コマンドに対応する内部動作を行い、第2の内部動作サイクルでリフレッシュ信号に応答するリフレッシュ動作を行う。この発明によれば、リフレッシュ動作REFは、メモリ回路内部で発生するリフレッシュ信号に응答して行われるので、メモリコントローラは、メモリ回路に対してリフレッシュコマンドを供給する必要はなく、リフレッシュ動作の管理の負担をなくすることができる。更に、リフレッシュ動作は、外部動作サイクルEOC内の一方向の内部動作サイクルIOC2で行われ、他方の内部動作サイクルIOC1はメモリコントローラからのコマンドに응答する動作に利用されるので、メモリコントローラは、メモリ回路のリフレッシュタイミングを考慮することなく、読み出しや書き込み等のコマンドを供給することができる。



【特許請求の範囲】

【請求項1】揮発性メモリセルを有し、所定のタイミングでリフレッシュ動作が行われるダイナミックメモリ回路において、

動作コマンドに従う1つの外部動作サイクルに対して、第1及び第2の内部動作サイクルが割り当てられ、前記メモリセルを有するメモリコアと、所定のタイミングで発生するリフレッシュ信号にตอบสนองしてリフレッシュコマンドを発生するリフレッシュコマンド発生回路とを有し、

前記メモリコアは、前記第1又は第2の内部動作サイクルの一方で前記動作コマンドに対応する内部動作を行い、前記第1又は第2の内部動作サイクルの他方で前記リフレッシュコマンドにตอบสนองするリフレッシュ動作を行うことを特徴とするダイナミックメモリ回路。

【請求項2】請求項1において、

前記動作コマンドに対して、前記第1の内部動作サイクル及び前記第2の内部動作サイクルが続いて発生し、前記動作コマンドに対応する内部動作は、前記第1の内部動作サイクルで実行され、前記リフレッシュ動作は、前記第2の内部動作サイクルで実行されることを特徴とするダイナミックメモリ回路。

【請求項3】請求項1において、

前記動作コマンドは、読み出しコマンドと書き込みコマンドとを含み、

前記動作コマンドに対して、前記第1の内部動作サイクル及び前記第2の内部動作サイクルが続いて発生し、前記読み出しコマンドにตอบสนองして、前記第1の内部動作サイクルで読み出し動作が行われ、それに続く前記第2の内部動作サイクルで前記リフレッシュコマンドにตอบสนองするリフレッシュ動作が行われ、前記書き込みコマンドにตอบสนองして、前記第1の内部動作サイクルで前記リフレッシュコマンドにตอบสนองするリフレッシュ動作が行われ、前記第2の内部動作サイクルで書き込み動作が行われることを特徴とするダイナミックメモリ回路。

【請求項4】請求項2において、更に、データの入出力が行われる入出力端子を有し、前記動作コマンドは、読み出しコマンドと書き込みコマンドとを含み、

前記第1の内部動作サイクルにおける読み出し動作に続いて、前記入出力端子から複数ビットの読み出しデータがシリアルに出力されることを特徴とするダイナミックメモリ回路。

【請求項5】請求項3において、

更に、データの入出力が行われる入出力端子を有し、前記第1の内部動作サイクルにおける読み出し動作に続いて、前記入出力端子から複数ビットの読み出しデータがシリアルに出力され、

前記入出力端子からシリアルに入力された複数ビットの書き込みデータに対して、前記第2の内部動作サイクル

で書き込み動作が行われることを特徴とするダイナミックメモリ回路。

【請求項6】揮発性メモリセルを有し、所定のタイミングでリフレッシュ動作が行われるダイナミックメモリ回路において、

動作コマンドに従う1つの外部動作サイクルに対して、複数の内部動作サイクルが割り当てられ、前記メモリセルを含む複数のメモリブロックを有するメモリコアと、

10 所定のタイミングで発生するリフレッシュ信号にตอบสนองしてリフレッシュコマンドを発生するリフレッシュコマンド発生回路とを有し、

前記メモリコアは、

動作コマンドにตอบสนองして、前記複数のメモリブロックにおける前記動作コマンドに対応する内部動作を、前記複数の内部動作サイクルでそれぞれ行い、

前記リフレッシュコマンドに対応するリフレッシュ動作を、前記メモリブロックにおいて、対応する内部動作が行われていない内部動作サイクルで行うことを特徴とするダイナミックメモリ回路。

20

【請求項7】揮発性メモリセルを有し、所定のタイミングでリフレッシュ動作が行われるダイナミックメモリ回路において、

動作コマンドに従う1つの外部動作サイクルに対して、 $2N$ (N は1以上の整数)の内部動作サイクルが割り当てられ、

前記メモリセルをそれぞれ含む第1及び第2のメモリブロックを有するメモリコアと、

所定のタイミングで発生するリフレッシュ信号にตอบสนองしてリフレッシュコマンドを発生するリフレッシュコマンド発生回路とを有し、

30

前記メモリコアは、

動作コマンドにตอบสนองして、前記第1及び第2のメモリブロックの前記動作コマンドに対応する内部動作を、前記 $2N$ の内部動作サイクルでそれぞれ行い、

前記リフレッシュコマンドに対応するリフレッシュ動作を、前記メモリブロックにおいて、対応する内部動作が行われていない内部動作サイクルで行うことを特徴とするダイナミックメモリ回路。

40

【請求項8】揮発性メモリセルを有し、所定のタイミングでリフレッシュ動作が行われるダイナミックメモリ回路において、

動作コマンドに従う1つの外部動作サイクルに対して、 $2N$ (N は1以上の整数)の内部動作サイクルが割り当てられ、

前記メモリセルをそれぞれ含む $2M$ (M は1以上の整数)のメモリブロックを有するメモリコアと、

所定のタイミングで発生するリフレッシュ信号にตอบสนองしてリフレッシュコマンドを発生するリフレッシュコマンド発生回路とを有し、

50

前記メモリコアは、

動作コマンドにตอบสนองして、前記メモリブロックの前記動作コマンドに対応する内部動作を、前記 2 N の内部動作サイクルでそれぞれ行い、

前記リフレッシュコマンドに対応するリフレッシュ動作を、前記メモリブロックにおいて、対応する内部動作が行われていない内部動作サイクルで行うことを特徴とするダイナミックメモリ回路。

【請求項 9】請求項 1 乃至 8 のいずれかにおいて、

前記メモリコアは、ワード線とそれに交差するビット線と、該ビット線に接続されるセンスアンプと、該ワード線及びビット線の交差位置に配置された前記メモリセルとを有し、

前記メモリコアは、前記動作コマンドにตอบสนองして、前記内部動作サイクル内で、前記ワード線及びセンスアンプを活性化し、その後前記ビット線をプリチャージすることを特徴とするダイナミックメモリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダイナミック RAM などのデータの記憶保持にリフレッシュ動作を必要とするメモリ回路に関し、特にリフレッシュを自動的に実施し、外部からのリフレッシュ指示を必要としないダイナミックメモリ回路に関する。

【0002】

【従来の技術】ダイナミック RAM (DRAM) は、大容量のメモリデバイスとして広く普及しているが、1 トランジスタと 1 キャパシタからなる揮発性のメモリセルを利用していることから、記憶を保持するためには定期的なリフレッシュが必要になる。

【0003】一般に、リフレッシュには、通常モードにおいて外部からのコマンドにตอบสนองして実施されるオートリフレッシュと、パワーダウンモード時にメモリデバイスが自動的に実施するセルフリフレッシュとがある。

【0004】これらのリフレッシュを説明する前に、従来の同期型ダイナミックメモリ回路の構成を説明する。図 2 4 は、従来の同期型ダイナミックメモリ回路の構成を示す図である。図 2 4 に示されたメモリ回路は、メモリコアである 2 つのメモリバンク BANK0、BANK1 を有する。これらのメモリバンクに共通に、周辺回路として、クロックイネーブル信号 CKE の状態に応じて外部からのクロック CLK を入力し、内部のブロックへ内部クロック CLK1 を供給するクロック入力バッファ 1 0 と、外部からのコマンド入力 CMD を取り込んでデコードするコマンドデコーダ 1 2 と、外部からのアドレスを取り込むアドレスバッファ 1 4 と、データ入出力端子 DQ にデータを出力又は入力するデータ入出力バッファレジスタ 1 6 と、セルフリフレッシュコマンド S-REF にตอบสนองして内部セルフリフレッシュ信号 S-REF1 を生成するセルフリフレッシュ制御部 1 8 と、リフレッシュアドレスカウンタ 2 2 と

が設けられる。

【0005】また、各メモリバンク内には、メモリセルアレイ MC と、ローデコーダ RDEC と、センスアンプ SA と、コラムデコーダ CDEC とをそれぞれ有する複数のブロック BLK と、ブロック BLK に共通に設けられたコマンドラッチ 2 4 と、コマンドラッチ 2 4 からの各種コマンド RD、WR、REF にตอบสนองしてブロックに対応する制御信号を供給する制御回路 2 6 と、リフレッシュアドレスカウンタ 2 2 からのリフレッシュアドレスとアドレスバッファ 1 4 からの外部アドレスのいずれかを選択するセクタ 2 8 とが設けられる。また、ブロック BLK は、データバス DB、センスバッファ・ライトアンプ SB/WA を介して、バンクに共通の入出力データバス I/ODB に接続される。

【0006】オートリフレッシュは、読み出し又は書き込みが行われる通常モード時において、外部コマンドにตอบสนองして行われる。その場合、リフレッシュはメモリセル MC を選択しセンスアンプ SA でその情報を増幅しメモリセルに書き戻しする手順のことである。従って、リフレッシュ中はそのメモリセルブロックに書き込みまたは読み出し動作を指示することはできない。このため、通常モードにおいては、リフレッシュ動作と読み出し又は書き込み動作とが衝突することがないように、外部からのオートリフレッシュコマンドにตอบสนองしてリフレッシュ動作を行う。ただし、リフレッシュをおこなうメモリセルを選択するアドレスは、メモリデバイス内部で自動的に発生される。これがオートリフレッシュである。

【0007】具体的には、図 2 4 の従来例において、外部からオートリフレッシュコマンド A-REF が入るとコマンドラッチ 2 4 にリフレッシュ信号 REF がラッチされ、そのリフレッシュ信号 REF に基づき、制御回路 2 6 がリフレッシュ動作を制御する。リフレッシュアドレスはリフレッシュアドレスカウンタ 2 2 により自動的に発生され、リフレッシュ時は、制御回路 2 6 から供給される選択信号 SEL にตอบสนองして、セクタ 2 8 がリフレッシュアドレスを選択してメモリブロック BLK に供給する。リフレッシュアドレスカウンタ 2 2 は、リフレッシュをおこなうたびにカウントアップされる。

【0008】一方、セルフリフレッシュは、パワーダウンモード時において、デバイスが自動的に行うリフレッシュである。パワーダウンモードにおいては、メモリデバイスは入力バッファ 1 0、1 2、1 4 を非活性化し、外部からの入力信号の取り込みを停止するとともに、内部へのクロック CLK1 の供給も停止する。この状態において、定期的なリフレッシュが必要がある。そこで、セルフリフレッシュ制御部 1 8 は、パワーダウンを指示するクロックイネーブル信号 CKE によりデバイスがパワーダウン状態になると、その動作を開始する。セルフリフレッシュ制御部 1 8 は、デバイスに搭載された発振器 2 0 が所定の周期で発生するタイミング信号にตอบสนองして、セルフリフレッシュ指示信号 S-REF1 を発生し、その信号

S-REF1に基づき制御回路 26 がリフレッシュ動作を制御する。リフレッシュアドレスカウンタ 22 およびセクタ 28 の動作はオートリフレッシュと同様である。

【0009】

【発明が解決しようとする課題】かかるメモリデバイス(DRAM)をコンピュータシステムに搭載する場合、このリフレッシュは一つの困難性を有する。特に、通常動作モード時でのオートリフレッシュに関しては、メモリデバイスを制御するコントローラデバイスが、メモリデバイスのリフレッシュ時期を管理し、定期的にリフレッシュコマンドを供給する必要がある。かかる制御は、コントローラデバイスにとって負担になる。

【0010】更に、メモリコントローラは、オートリフレッシュ期間中には読み出し又は書き込みコマンドを発行することができないので、システムにおける高速化の一つの弊害でもあった。

【0011】特に、供給されるクロックに同期してコマンドサイクルが制御される同期型のメモリデバイス(SDRAM)では、メモリコアの活性化や読み出し又は書き込み動作は、全て供給されるコマンドによって制御され、クロックに同期して行われる。しかも、その動作サイクルは高速である。従って、通常動作モード期間では、上記の通り、任意のタイミングで供給される読み出しや書き込みコマンドにตอบสนองできるように、メモリデバイスが自発的にリフレッシュ動作を行うことが禁止されている。その結果、メモリコントローラ側が、通常動作モード期間中のリフレッシュの制御を行い、所定のタイミングでオートリフレッシュコマンドを供給している。

【0012】そこで、本発明の目的は、メモリコントローラによるリフレッシュ制御を不要とするダイナミックメモリ回路を提供することにある。

【0013】更に、本発明の目的は、通常動作モード時においても、リフレッシュ動作を内部で自動的に行うことができるダイナミックメモリ回路を提供することにある。

【0014】更に、本発明の目的は、リフレッシュ動作によりシステム上の高速化が妨げられないダイナミックメモリ回路を提供することにある。

【0015】更に、本発明の目的は、新規な内部動作サイクルを有し、リフレッシュ動作を内部で自動的に行うことができるダイナミックメモリ回路を提供することにある。

【0016】

【課題を解決するための手段】上記の目的を達成するために、本発明の第1の側面では、ダイナミックメモリ回路において、コマンドに従う1つの外部動作サイクルに対して、第1及び第2の内部動作サイクルを割り当てて、第1の内部動作サイクルで前記コマンドに対応する内部動作を行い、第2の内部動作サイクルでリフレッシュ信号にตอบสนองするリフレッシュ動作を行う。そして、メ

モリ回路内に、リフレッシュ時期に前記リフレッシュ信号を発生するリフレッシュコマンド発生回路を設ける。

【0017】上記第1の側面の発明によれば、リフレッシュ動作は、メモリ回路内部で発生するリフレッシュ信号にตอบสนองして行われるので、メモリコントローラは、メモリ回路に対してリフレッシュコマンドを供給する必要はなく、リフレッシュ動作の管理の負担をなくすることができる。更に、リフレッシュ動作は、外部動作サイクル内の一方の内部動作サイクルで行われ、他方の内部動作サイクルはメモリコントローラからのコマンドにตอบสนองする動作に利用されるので、メモリコントローラは、メモリ回路のリフレッシュタイミングを考慮することなく、読み出しや書き込み等のコマンドを供給することができる。また、リフレッシュ時期に応じてコマンドに対応する内部動作が遅れることはない。

【0018】本発明の第2の側面では、ダイナミックメモリ回路において、メモリコアを論理的に複数のブロック、例えば、第1及び第2のブロック、で構成する。そして、コマンドに従う1つの外部動作サイクルに対して、第1及び第2の内部動作サイクルを割り当てる。外部からの1つのコマンド(読み出しや書き込み)にตอบสนองして、第1の内部動作サイクルでは第1のブロックに対して当該コマンドを実行し、第2の内部動作サイクルでは第2のブロックに対して当該コマンドを実行する。一方、内部で発生するリフレッシュ信号にตอบสนองして、第2の内部動作サイクルで第1のブロックに対するリフレッシュを実行し、第1の内部動作サイクルで第2のブロックに対するリフレッシュを実行する。

【0019】上記の第2の側面によれば、外部コマンドにตอบสนองして、第1及び第2の内部動作サイクルそれぞれで第1及び第2のブロックでコマンドを実行するので、高速性が損なわれることはない。そして、第1及び第2のブロックでは、コマンドに対する動作を行っていない内部動作サイクルを利用して、リフレッシュ信号にตอบสนองするリフレッシュ動作を実行するので、コマンドに対応する動作とリフレッシュ動作とがコンフリクトを起こすことはない。この場合も、メモリコントローラは、メモリ回路のリフレッシュを管理する必要がなく、リフレッシュ動作を考慮することなく通常のコマンドを発行することができる。

【0020】本発明の第3の側面は、揮発性メモリセルを有し、所定のタイミングでリフレッシュ動作が行われるダイナミックメモリ回路において、動作コマンドに従う1つの外部動作サイクルに対して、第1及び第2の内部動作サイクルが割り当てられ、前記メモリセルを有するメモリコアと、所定のタイミングで発生するリフレッシュ信号にตอบสนองしてリフレッシュコマンドを発生するリフレッシュコマンド発生回路とを有し、前記メモリコアは、前記第1又は第2の内部動作サイクルの一方で前記動作コマンドに対応する内部動作を行い、前記第1又は

第2の内部動作サイクルの他方で前記リフレッシュコマンドにตอบสนองするリフレッシュ動作を行うことを特徴とする。

【0021】上記の第3の側面において、好ましい実施例では、動作コマンドに対応する内部動作は、第1の内部動作サイクルで実行され、リフレッシュ動作は、第2の内部動作サイクルで実行される。

【0022】上記の第3の側面において、別の好ましい実施例では、読み出しコマンドにตอบสนองして、第1の内部動作サイクルで読み出し動作が行われ、それに続く第2の内部動作サイクルでリフレッシュコマンドにตอบสนองするリフレッシュ動作が行われ、書込コマンドにตอบสนองして、第1の内部動作サイクルでリフレッシュコマンドにตอบสนองするリフレッシュ動作が行われ、前記第2の内部動作サイクルで書き込み動作が行われる。

【0023】本発明の第4の側面は、揮発性メモリセルを有し、所定のタイミングでリフレッシュ動作が行われるダイナミックメモリ回路において、動作コマンドに従う1つの外部動作サイクルに対して、複数の内部動作サイクルが割り当てられ、前記メモリセルを含む複数のメモリブロックを有するメモリコアと、所定のタイミングで発生するリフレッシュ信号にตอบสนองしてリフレッシュコマンドを発生するリフレッシュコマンド発生回路とを有し、前記メモリコアは、動作コマンドにตอบสนองして、前記複数のメモリブロックにおける前記動作コマンドに対応する内部動作を、前記複数の内部動作サイクルでそれぞれ行い、前記リフレッシュコマンドに対応するリフレッシュ動作を、前記メモリブロックにおいて、対応する内部動作が行われていない内部動作サイクルで行うことを特徴とする。

【0024】更に、本発明の第5の側面は、揮発性メモリセルを有し、所定のタイミングでリフレッシュ動作が行われるダイナミックメモリ回路において、動作コマンドに従う1つの外部動作サイクルに対して、 $2N$ (N は1以上の整数)の内部動作サイクルが割り当てられ、前記メモリセルをそれぞれ含む第1及び第2のメモリブロックを有するメモリコアと、所定のタイミングで発生するリフレッシュ信号にตอบสนองしてリフレッシュコマンドを発生するリフレッシュコマンド発生回路とを有し、前記メモリコアは、動作コマンドにตอบสนองして、前記第1及び第2のメモリブロックの前記動作コマンドに対応する内部動作を、前記 $2N$ の内部動作サイクルでそれぞれ行い、前記リフレッシュコマンドに対応するリフレッシュ動作を、前記メモリブロックにおいて、対応する内部動作が行われていない内部動作サイクルで行うことを特徴とする。

【0025】上記の本発明の第5の側面は、メモリコア内に $2M$ 個のメモリブロックを有しても良い。

【0026】上記の発明において、より好ましい実施例は、前記メモリコアは、ワード線とそれに交差するビッ

ト線と、該ビット線に接続されるセンスアンプと、該ワード線及びビット線の交差位置に配置された前記メモリセルとを有し、前記メモリコアは、前記動作コマンドにตอบสนองして、前記内部動作サイクル内で、前記ワード線及びセンスアンプを活性化し、その後前記ビット線をプリチャージすることを特徴とする。

【0027】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【0028】図1は、本発明が適用される好ましいメモリコアの動作を示すタイミングチャート図である。メモリコアは、後述する通り、複数のワード線とそれに交差する複数のビット線と、それらの交差位置に配置される複数のメモリセルと、ビット線に接続されるセンスアンプとを有する。本実施の形態例のメモリ回路は、外部から供給されるクロックに同期して、コマンドに対応する内部動作が実行される同期型のメモリデバイスである。

【0029】特に、好ましいメモリ回路は、例えば、本出願人が別途提案しているFCRAM (Fast Cycle RAM) であり、国際特許出願WO98/56004に開示されているメモリ回路である。図1は、かかるメモリ回路のメモリコアの動作を示す図である。

【0030】図1に示される通り、外部クロックCLKに同期して供給される読み出しや書き込み等の動作コマンドにตอบสนองして、各動作コマンドに対する動作サイクル T_s 内に、メモリコアを活性化してワード線WLの立ち上げる期間 T_1 と、センスアンプを活性化して動作コマンドに対応する読み出し又は書き込みを行う期間 T_2 と、自動的にセンスアンプを非活性化し、ビット線BL等のプリチャージを行う期間 T_3 とが含まれる。そして、読み出しコマンドに対する読み出しデータD-a、D-bの出力は、次の動作サイクル中に行われる。このように、動作コマンドにตอบสนองして、一つの動作サイクル内で上記の3つの期間が終了することで、コマンドサイクルを短くすることができ、ランダムアクセスに対するアクセス時間を短くすることができる。

【0031】[第1の実施の形態例] 図2は、第1の実施の形態例における動作概略図である。第1の実施の形態例では、コマンドCMDに従う1つの外部動作サイクルEOCに対して、第1及び第2の内部動作サイクルIOC1、IOC2を割り当てて、第1の内部動作サイクルIOC1で前記コマンドに対応する内部動作READ、WRITEを行い、第2の内部動作サイクルIOC2で内部リフレッシュコマンドにตอบสนองするリフレッシュ動作REFを行う。そして、後述する通り、メモリ回路内に、リフレッシュ時期に内部リフレッシュコマンドを発生するリフレッシュコマンド発生回路を設ける。

【0032】図2に示された例では、コマンドCMDは、外部クロックCLKの2クロックサイクル毎に供給され

る。従って、外部動作サイクルE0Cは、2クロックサイクルに設定されている。更に、第1及び第2の内部動作サイクルIOC1、IOC2は、1クロックサイクルに設定されている。例えば、時間t0のクロックCLKの立ち上がりエッジに同期して供給される読み出しコマンドREAD-aに
 10 応答して、それに続く第1の内部動作サイクルIOC1で読み出し動作READ-aが実行される。この第1の内部動作サイクルIOC1内で、図1で説明した通り、メモリコアは、活性化され、読み出し動作が行われ、自動プリチャージが行われる。そして、それに続く第2の内部動作サイ
 15 クルIOC2で、データ入出力端子DQからデータQaが出力される。従って、この例では、リードレイテンシ (Read Latency) は2である。

【0033】また、時間t2のクロックCLKの立ち上がりエッジに同期して供給される読み出しコマンドREAD-bに
 20 応答して、第1の内部動作サイクルIOC1で読み出し動作READ-bが実行され、それに続く第2の内部動作サイクルIOC2で読み出しデータQbがデータ入出力端子DQから出力される。更に、時間t4では動作コマンドは供給されない。そして、時間t6のクロックCLKの立ち上がり
 25 エッジに同期して供給される書き込みコマンドWRITE-cに
 30 応答して、第1の内部動作サイクルIOC1で書き込み動作WRITE-cが書き込みデータQcに対して行われる。従って、この例では、ライトレイテンシは1である。

【0034】以上の様に、第1の内部動作サイクルIOC1にて、動作コマンドCMDに対応する内部動作が実行される。

【0035】一方、第2の内部動作サイクルIOC2では、デバイス内部で発生するリフレッシュ信号に
 35 リフレッシュ動作が適宜行われる。図2の例では、時間t1に続く第2の内部動作サイクルIOC2で最初のリフレッシュ動作REF-0が行われ、時間t5に続く第2の内部動作
 40 サイクルIOC2で2番目のリフレッシュ動作REF-1が行われる。

【0036】尚、ライトレイテンシが1であるので、時間t4において、書き込みコマンドWRITEを与えることはできない。即ち、時間t4では、未だ前サイクルの読み出しデータQbがデータ入出力端子DQから出力中である
 45 のので、時間t4のタイミングで書き込みデータを与えると、コンフリクトを起こすからである。従って、時間t6まで待つて、書き込みコマンドWRITE-cが与えられている。

【0037】図3は、第1の実施の形態例におけるメモリ回路の構成図である。図24の従来例と対応する部分には同じ引用番号を与えている。図3において、外部クロックCLKを取り込む入力バッファ10、コマンドデ
 50 コーダ12、アドレスバッファ14、データ入出力バッファ・レジスタ16、リフレッシュアドレスカウンタ22は、従来例と同じである。また、メモリコアであるメモリバンクBANK0、BANK1内の構成についても、メモリブ

ックBLK、ローデコーダRDEC、メモリセルアレイMC、センスアンプSA、コラムデコーダCDEC、データバスDB、センスバッファ/ライトアンプSB/WA、セクタ28、コマンドラッチ24等も同じである。メモリセルアレイMC内には、複数のビット線BLと複数のワード線WLが交差するように配置され、それらの交差位置に1トランジスタ、1キャパシタからなるメモリセルが配置
 55 される。

【0038】図3に示されたメモリ回路は、リフレッシュ
 60 ュタイミング毎にリフレッシュ信号をREF1生成するリフレッシュタイマー21と、リフレッシュコマンド発生回路25とを新たに有する。リフレッシュコマンド発生回路25は、通常動作モード時及びパワードアウンモード時
 65 において、リフレッシュタイマー21が発生するリフレッシュタイマー信号REF1に
 70 応答して、コマンドラッチ24が生成する読み出し信号RDや書き込み信号WRの状態を確認して、いずれの内部動作も行われていない時に、内部リフレッシュコマンドREFを発生する。この内部リフレッシュコマンドREFに
 75 応答して、制御回路26は、リフレッシュアドレスが指定するアドレスメモリブロックBLKに対して、リフレッシュ動作を実行させる。

【0039】図4は、第1の実施の形態例における内部動作のタイミングチャート図である。図4を参照しながら、内部動作について詳述する。前提として、コマンドラッチ24は、コマンドデコーダ12が生成する内部コマンドCMD1を第1の内部動作サイクルIOC1の間だけ保持する。従って、読み出し信号RDや書き込み信号WRは、第1の内部動作サイクルIOC1の期間だけHレベルになる。また、制御回路26は、読み出し信号RD、書き込み信号WR、及び内部リフレッシュコマンドREFに
 80 応答して、メモリブロックBLKに対してそれぞれの内部動作を行わせる。また、リフレッシュコマンド発生回路25は、内部リフレッシュコマンドREFを発生する毎に、カウンタアップ信号S1を発生し、それに
 85 応答して、リフレッシュアドレスカウンタ22がリフレッシュアドレスRAddをインクリメントする。

【0040】図4を参照して、読み出しコマンドとリフレッシュ時期とが重なった場合のケース1について説明する。最初の読み出しコマンドRDaに
 90 応答して、コマンドラッチ24は、バンク選択アドレスBAddが自分のバンクアドレスの場合に、読み出し信号RD(=Hレベル)を第1の内部動作サイクルに対応する1クロック周期だけ保持する。この読み出し信号RDに
 95 応答して、制御回路26により通常の読み出し動作aが実行され、次のクロックサイクル(内部動作サイクル)でデータ入出力端子DQから読み出しデータQaが出力される。

【0041】上記の読み出し動作aが実行されている時に、リフレッシュタイマー21が、リフレッシュすべき時期に達したことを検出して、リフレッシュタイマー信号REF1をHレベルにする。そのリフレッシュタイマー信
 100

号REF1のHレベルに応答して、リフレッシュコマンド発生回路25は、内部のリフレッシュフラグRFLをHレベルにして、読み出し動作が終了するまで待機する。リフレッシュコマンド発生回路25は、そのリフレッシュフラグRFLがHレベルであり、且つコマンドラッチ24が保持する読み出し信号RD及び書き込み信号WRが共にLレベルであることを検出すると、内部リフレッシュコマンドREFをHレベルにする。但し、リフレッシュコマンド発生回路25は、リフレッシュアドレスRAddが自分のバンクを選択している場合にのみ、上記内部リフレッシュコマンドREFをHレベルにする。また、内部リフレッシュコマンドREFは、第2の内部動作サイクル（1クロックサイクル）期間だけHレベルにされる。

【0042】制御回路26は、内部リフレッシュコマンドREFに反応して、リフレッシュアドレスRAdd0に対応するブロックBLKにリフレッシュ動作を実行させる。このリフレッシュ動作は、第2の内部動作サイクル（1クロックサイクル）内に終了する。リフレッシュ動作が終了すると、カウントアップ信号S1が発生し、それに反応してリフレッシュアドレスカウンタ22がリフレッシュアドレスRAddをインクリメントする。

【0043】次に、読み出しコマンドRD_b、RD_cそれぞれに対しても、第1の内部動作サイクル内で対応する読み出し動作b、cが実行され、それに続く第2の内部動作サイクルでデータ入出力端子DQから読み出しデータQ_b、Q_cが出力される。

【0044】ケース2もケース1と同様に読み出しコマンドとリフレッシュ時期が重なった場合であり、同様にして読み出しコマンドRD_dに対応する読み出し動作が第1の内部動作サイクルで実行される。この実行中において、リフレッシュタイマー信号REF1が発生すると、リフレッシュコマンド発生回路25は、内部のリフレッシュフラグRFLをHレベルにし、待機する。そして、読み出し信号RDと書き込み信号WRのいずれもがLレベルであり、リフレッシュアドレスRAdd1が自分のバンクを選択している場合に、次の第2の内部動作サイクルで、リフレッシュコマンド発生回路25が内部リフレッシュコマンドREF（Hレベル）を発生する。それに反応して、リフレッシュ動作が実行される。

【0045】ケース3の場合は、書き込みコマンドWR_gが供給される時にリフレッシュ時期が重なった場合であり、書き込みコマンドが供給される直前に、リフレッシュタイマー信号REF1が発生し、リフレッシュフラグRFLがHレベル状態になっている。しかし、コマンドラッチ24が書き込み信号WRをHレベルにして、内部書き込み動作中であることを示しているため、リフレッシュコマンド発生回路25は、書き込み動作gが終了するのを待って、内部リフレッシュコマンドREF（Hレベル）を発生する。

【0046】ケース4の場合は、何ら動作コマンドが供

給されていない場合であり、リフレッシュタイマー信号REF1の発生に反応して、即、リフレッシュコマンド発生回路25が内部リフレッシュコマンドREF（Hレベル）を発生し、リフレッシュを実行する。動作コマンドが供給されない場合は、コマンドラッチ24が内部の読み出し信号RDも書き込み信号WRもHレベルにしないので、第1又は第2の内部動作サイクル期間のいずれか早いサイクルで、リフレッシュが実行される。但し、読み出し又は書き込みコマンドが供給された場合は、そちらが優先され、リフレッシュ動作は、第2の内部動作サイクルまで待機させられる。

【0047】図5は、第1の実施の形態例におけるリフレッシュコマンド発生回路の回路図である。図5には、コマンドラッチ24と、リフレッシュタイマー21と、リフレッシュコマンド発生回路25が示される。リフレッシュタイマー21は、非常に低速の発振回路OSCを有し、この発振回路OSCが、リフレッシュサイクルに対応する周波数のクロックRCLKを発生する。そして、パルス生成回路30によりクロックRCLKの立ち上がりエッジに同期したリフレッシュタイマー信号REF1が生成される。

【0048】リフレッシュコマンド発生回路25は、バンク選択アドレスBAddと、コマンドラッチ24が発生する読み出し信号RD、書き込み信号WRと、リフレッシュタイマー信号REF1とを供給される。リフレッシュタイマー信号REF1がHレベルになると、トランジスタN2が導通し、導通状態のトランジスタN3と共に、ラッチ回路31を反転して、リフレッシュフラグRFLをHレベルにする。この状態で、リフレッシュアドレスRAdd内のバンク選択アドレスBAddがHレベル（バンクBANK0を選択）で、且つ読み出し信号RD及び書き込み信号WRが共にLレベルの時に、NORゲート33の出力がHレベルになり、NANDゲート34、インバータ35を介して、ノードN1がHレベルになる。

【0049】遅延回路36は、コマンドラッチ24とゲート33、34、35の遅延時間と同じ遅延時間をクロックCLK1に与え、ノードN1のレベルが決まるタイミングで、フリップフロップ37に取り込みクロックを与える。従って、HレベルのノードN1の信号が、フリップフロップ37にラッチされ、内部リフレッシュコマンドREFがHレベルになる。この内部リフレッシュコマンドREFのHレベルに反応して、制御回路26がリフレッシュ動作を実行する。

【0050】一方、このリフレッシュコマンドREFに反応して、パルス発生回路38がカウントアップ信号S1を発生し、リフレッシュアドレスカウンタ22をインクリメントする。また、リフレッシュコマンドREFに反応して、PチャネルトランジスタP1が導通し、ラッチ回路31を反転させて、リフレッシュフラグRFLをLレベルに戻す。それに伴い、次のクロックCLK1のタイミングで、フリップフロップ37は反転され、内部リフレッシュコ

マンドREFはLレベルに戻される。

【0051】図3に戻り、パワーダウンモード時には、入力バッファ10、コマンドデコーダ12、アドレスバッファ14及びデータ入出力バッファ・レジスタ16が非活性状態になり、内部クロックも休止状態になる。しかし、その場合でも、リフレッシュタイマ21が有する発振回路OSCが、リフレッシュの動作を行うためのメモリブロックの動作サイクルのクロックを発生し、セルフリフレッシュが行われる。パワーダウン時には、コマンドラッチ24が生成する読み出し信号RD及び書き込み信号WRは共にLレベルであるので、内部リフレッシュコマンドREFは、第1又は第2の内部動作サイクルにかかわらず生成され、リフレッシュ動作が実行される。

【0052】以上の通り、第1の実施の形態例では、通常動作モードにおいて、最短のコマンドサイクルである外部動作サイクルの前半の内部動作サイクルで、動作コマンドに対応する内部動作を実行し、後半の内部動作サイクルで、リフレッシュタイマー信号にตอบสนองしてリフレッシュ動作を実行する。従って、メモリコントローラは、リフレッシュコマンドを与える必要はなく、メモリデバイス側は、通常動作コマンドと調整して自動的にリフレッシュを実行することができる。

【0053】〔第2の実施の形態例〕第2の実施の形態例では、第1の実施の形態例と同様に、最短のコマンドサイクルである外部動作サイクルEOC内に2つの内部動作サイクルIOC1、IOC2とを設定する。但し、第2の実施の形態例では、読み出しコマンドにตอบสนองして前半の第1の内部動作サイクルIOC1内で読み出し動作を実行し、書き込みコマンドにตอบสนองして後半の第2の内部動作サイクルIOC2内で書き込み動作を実行する。即ち、リードレイテンシは2、ライトレイテンシも2にそれぞれ設定された例である。

【0054】そして、メモリデバイス内部のリフレッシュタイマーが生成するリフレッシュタイミングを知らせるリフレッシュタイマー信号にตอบสนองして、第1又は第2の内部動作サイクルのうち、読み出し又は書き込みのいずれの内部動作も行われていない時に、リフレッシュ動作を実行する。動作コマンドとリフレッシュタイマー信号とが重なっても、2つの内部動作サイクルのうちのいずれか一方が空いているので、その期間にリフレッシュ動作が実行される。

【0055】図6は、第2の実施の形態例の動作図である。時間t0で供給された読み出しコマンドREAD-aにตอบสนองして、メモリコアでは第1の内部動作サイクルIOC1で読み出し動作READ-aを実行する。そして、後続する内部動作サイクルIOC2で読み出しデータQaが出力端子DQから出力される。即ち、リードレイテンシは2である。図6の例では、時間t1のクロックCLKの立ち上がりエッジに続く第2の内部動作サイクルIOC2中に、リフレッシュ動作REFが実行されている。

【0056】同様に、時間t2で供給された読み出しコマンドREAD-bにตอบสนองして、前半の内部動作サイクルIOC1中に、読み出し動作READ-bが実行される。そして、図6の例では、後半の内部動作サイクルIOC2では、リフレッシュ動作は行われていない。

【0057】更に、時間t4で供給された書き込みコマンドWRITE-cにตอบสนองして、1クロックサイクル後の第2の内部動作サイクル中に、メモリコアでは書き込み動作WRITE-cが実行される。従って、その書き込み動作のために、書き込みデータは、時間t5に同期して出力端子DQから供給されれば良い。その場合、前の外部動作サイクルでの読み出し動作READ-bに対応する読み出しデータQbは、前の外部動作サイクルにおける第2の内部動作サイクルIOC2中に入出力端子DQから出力されているので、時間t5における書き込みデータQcは、読み出しデータQbと衝突することはない。従って、ライトレイテンシを2にすることにより、読み出しコマンドと書き込みコマンドは、2クロックサイクル、即ち外部動作サイクルで連続して供給することが可能になる。つまり、読み出しコマンドと書き込みコマンドとを等間隔に入れることができる。そして、図6の例では、時間t4後の第1の内部動作サイクルIOC1にて、内部のリフレッシュ動作REFが実行される。

【0058】尚、読み出しデータQbの出力と書き込みデータQcの入力との時間差は、入出力データバスI/ODB上での両データの重複を避けるために必要な間隔である。

【0059】以上の通り、第2の実施の形態例では、読み出しコマンドに対する内部動作は、第1の内部動作サイクルIOC1で実行し、書き込みコマンドに対する内部動作は、第2の内部動作サイクルIOC2で実行する。そして、動作コマンドとリフレッシュタイミングとが重なった場合は、読み出しコマンドの場合は、読み出し動作を行った後の第2の内部動作サイクルIOC2でリフレッシュを行い、書き込みコマンドの場合は、リフレッシュ動作を行った後の第2の内部動作サイクルIOC2で書き込み動作を行う。

【0060】図7は、第2の実施の形態例におけるメモリ回路の構成図である。図3の第1の実施の形態例と同じ部分には同じ引用番号を与えた。図7の構成は、コマンドラッチ24がラッチした書き込み信号WR1を1クロックサイクルだけ遅延させるシフトレジスタ27が、コマンドラッチ24と制御回路26との間に設けられていることが、図3の例と異なる。このシフトレジスタ27により、書き込み信号WRがコマンド供給から1クロックサイクル遅れて制御回路26に供給され、その結果、内部の書き込み動作が第2の内部動作サイクルで実行できる。

【0061】図8は、第2の実施の形態例におけるより詳細な内部動作のタイミングチャートである。図4の第1の実施の形態例と同様に、ケース1、2は、共に読み

出しコマンドRDa、RDdとリフレッシュタイマー信号REF1とが重なった場合であり、ケース3は、書き込みコマンドWRhとリフレッシュタイマー信号REF1とが重なった場合であり、ケース4は、いずれの動作コマンドともリフレッシュタイマー信号REF1とが重ならなかった場合である。従って、ケース1と2は、図4と同じである。

【0062】ケース3の場合は、リフレッシュタイマー信号REF1の発生に応答して、リフレッシュコマンド発生回路25内のリフレッシュフラグRFLがHレベルになる。そこで、書き込みコマンドWRhが供給されるが、シフトレジスタ27により書き込み信号WRは1クロックサイクル遅れて制御回路26に供給される。そして、書き込みコマンドWRhが供給された後の最初の内部動作サイクルIOC1において、リフレッシュアドレスRAdd2に対応するリフレッシュ動作2が実行される。書き込みコマンドに対する書き込み動作W/hは、その次の内部動作サイクルIOC2で実行される。

【0063】図8から明らかな通り、読み出しコマンドRDと書き込みコマンドWRとは、最短の2クロックサイクルで連続して供給されている。

【0064】ケース4の場合は、動作コマンドが供給されていないので、前半又は後半の内部動作サイクルのうち、早いほうの内部動作サイクルでリフレッシュ動作が実行される。

【0065】第2の実施の形態例におけるリフレッシュコマンド発生回路25は、図5に記載した第1の実施の形態例の回路と同じ構成である。

【0066】[第3の実施の形態例] 第3の実施の形態例は、第1又は第2の実施の形態例において、データをバーストモードで入出力することにより、データ転送レートを向上させることを特徴とする。

【0067】図9は、第3の実施の形態例の動作図である。時間t0で供給された読み出しコマンドREAD-aに
40 応答して、メモリコアでは、第1の内部動作サイクルIOC1で読み出し動作を実行する。そして、第1及び第2の実施の形態例に比較して2倍の読み出しデータQa0、Qa1が読み出され、後続する時間t1の内部動作サイクルIOC2と時間t2の内部動作サイクルIOC1とで、それらの読み出しデータQa0、Qa1がそれぞれ入出力端子DQからシリアルに出力される。時間t2に供給される読み出しコマンドREAD-bに対する読み出し動作も、上記と同じである。そして、時間t3、t4の内部動作サイクルIOC2、IOC1で、読み出しデータQb0、Qb1がそれぞれ出力される。

【0068】外部動作サイクルEOCの前半の内部動作サイクルIOC1で読み出し動作が行われるので、メモリコアは、後半の内部動作サイクルIOC2でリフレッシュREF-0を実行することができる。

【0069】この実施の形態例では、バーストモードであるので、時間t4では書き込みコマンドを供給することはできない。そして、時間t6で供給された書き込み

コマンドWRITE-cに対する書き込み動作は、時間t7の第2の内部動作サイクルで実行される。この書き込み動作に対する書き込みデータDc0、Dc1は、それぞれ時間t6、t7でシリアルに供給され、同時に書き込みされる。従って、時間t6の内部動作サイクルIOC1で、リフレッシュを実行することができる。また、時間t4では動作コマンドが供給されていないので、図9の例では、時間t5の第2の内部動作サイクルIOC2でリフレッシュREF-1が実行されている。

10 【0070】図10は、第3の実施の形態例におけるメモリ回路の構成図である。図7に示した第2の実施の形態例と同様に、コマンドラッチ24と制御回路26との間に、書き込み信号WRを1クロックサイクル遅らせるシフトレジスタ27が設けられる。更に、図10の例は、入出力データバスI/ODBのバス幅が図7の場合の2倍になっており、それに伴って、パラレル・シリアル変換回路29が、入出力データバスI/ODBとデータ入出力バッファ・レジスタ16との間に設けられる。

20 【0071】このパラレル・シリアル変換回路29は、読み出し時には、パラレルデータをシリアルデータに変換して出力し、書き込み時は、シリアルデータをパラレルデータに変換して入力する。

【0072】図11は、第3の実施の形態例における内部動作のタイミングチャート図である。書き込みコマンドRDa～RDfに
30 応答して、それぞれ2セットのデータ出力Qa0、Qa1～Qf0、Qf1が内部動作サイクル毎に連続して出力される。従って、データ出力効率が向上している。そして、ケース1、2の読み出しコマンドとリフレッシュタイマー信号REF1とが重なっている場合は、メモリブロックにて、後半の内部動作サイクルでそれぞれのリフレッシュ動作が行われる。また、書き込みコマンドWRgとリフレッシュタイマー信号REF1とが重なっているケース3の場合は、メモリブロックにて、前半の内部動作サイクルでリフレッシュ動作が行われ、その後半の内部動作サイクルで書き込み動作gが行われる。

【0073】[第4の実施例] 第1～第3の実施の形態例においては、外部から供給されるクロック信号CLKの周波数は、内部動作サイクルIOCと等しくなっている。これに対し、第4の実施例は、クロック信号CLK、CLK1を外部動作サイクルEOCと等しくして、内部動作サイクル用のクロック信号CLK2をメモリデバイス内部で発生する。

【0074】図12は、第4の実施の形態例におけるメモリ回路の構成図である。この構成図は、第2の実施例の図7において、クロック通倍回路(分周回路)11を追加した例である、但し、第4の実施の形態例は、第1～第3の実施の形態例、及び後述する第5の実施例等のいずれにも適用できる。図12に示す通り、第4の実施の形態例は、外部から供給されたクロックCLK1を入力回路等のインタフェース回路10、12、14、16に供

給して、外部クロックに同期した入出力を可能にし、一方、クロックCLK1を分周するクロック通倍回路11を備えて、メモリコアなどの内部の回路には周波数を通倍したクロックCLK2を供給する。

【0075】図13は、クロック通倍回路の第1の回路例及びその動作を示す図である。外部クロックと同じ周波数のクロックCLK1がパルス生成回路40に供給され、クロックCLK1の立ち上がりエッジに同期したパルス信号N1が生成される。クロック通倍回路11は、DLL (Delay Locked Loop) 回路で構成され、パルス信号N1を遅延する可変遅延回路41、44と、パルス信号N1と遅延した信号との位相を比較する位相比較器45と、位相比較結果に従って、入力信号の位相を整合させるように可変遅延回路41、44の遅延量を制御する可変遅延制御回路を有する。このDLL回路により、可変遅延回路41、44は同じ遅延量を有するので、可変遅延回路41の出力N2は、クロックCLK1の位相から180°遅延したパルス信号になる。そこで、パルス信号N1と180°遅延したパルス信号N2とがNORゲート42により合成されて、周波数を2倍に通倍された内部クロックCLK2が生成される。

【0076】また、図14は、クロック通倍回路の第2の回路例及び動作を示す図である。この回路例は、パルス信号N1に対して固定の遅延量を有する固定遅延回路51によって、固定遅延量遅らせたパルス信号N2を生成し、NANDゲート52で合成して、外部動作サイクルEOC内に2つの内部クロックCLK2が生成されるようにする。この場合、前半の内部動作サイクルIOC1と後半の内部動作サイクルIOC2の長さが異なるが、内部動作サイクルIOC1の2倍以上の長さに外部動作サイクルEOCを設定すれば、動作上問題はない。

【0077】〔第5の実施の形態例〕第5の実施の形態例は、第3の実施の形態例と同様に、データをバーストモードで入出力することによりデータ転送レートを向上させたメモリ回路である。その外部から見た動作は第3の実施の形態例と同様であるが、その実現方法が大きく異なる。図15は、第5の実施の形態例の動作図である。また、図16はそのメモリ回路の構成図である。

【0078】図16に示される通り、第5の実施の形態例では、メモリコアであるメモリバンクBANK0、BANK1を複数のブロック、例えばブロックBLOCK-A、BLOCK-B、で構成する。外部から供給される動作コマンドにตอบสนองして、コマンドラッチ24は、ブロックAとBへの読み出し信号RD-A、RD-Bまたは書き込み信号WR-A、WR-Bを生成する。そして、ブロックAの制御回路26には、コマンドラッチ24から読み出し及び書き込みコマンドRD-A、WR-Aがそのまま入力される。また、ブロックBの制御回路26（図示せず）には、シフトレジスタ60を介して1クロックサイクル遅延してコマンドRD-B、WR-Bが入力される。更に、上記の実施の形態例と同様に、メモリ回路

の内部動作サイクルIOCの2サイクル分を、外部動作サイクルEOCの1サイクルにする。

【0079】図示しないメモリコントローラが、外部動作サイクルEOCで、メモリデバイスに対して読み出し又は書き込みコマンドREAD、WRITEを発行すると、第1の内部動作サイクルIOC1で内部の読み出し又は書き込み信号RD-A、WR-AがブロックBLOCK-Aに入力され、それに続く第2の内部動作サイクルIOC2で内部の読み出し又は書き込み信号RD-BまたはWR-BがブロックBLOCK-Bに入力される。

【0080】外部からの1つのコマンドに対し、ブロックA、Bからそれぞれメモリセルが選択され、内部動作サイクルIOC1でブロックAに対しコマンドに対する読み出し又は書き込み動作が実施され、続く内部動作サイクルIOC2でブロックBに対しコマンドに対応する動作が実施される。より具体的には、内部動作サイクルIOC1で、ブロックAから選択されたサブブロックSBLKが活性化され、そのサブブロックSBLKに対しコマンドに対応する動作が実施され、内部動作サイクルIOC2では同様のことがブロックBについて繰り返される。

【0081】またメモリデバイスは、リフレッシュ時期を検出するリフレッシュタイマー21を備え、それが発生するリフレッシュタイマー信号REF1にตอบสนองして、リフレッシュコマンド発生回路25が、リフレッシュアドレスカウンタ22で発生したリフレッシュアドレスRAddにより選択されるブロックAまたはBに対し、リフレッシュコマンドREF-A、REF-Bを内部で自動的に発生する。より詳細には、リフレッシュアドレスカウンタ22はブロックAまたはB内のサブブロックSBLKのワード線を選択する。

【0082】上記の通り、リフレッシュ時期はリフレッシュタイマー21から定期的に出力される信号REF1により検出される。このリフレッシュタイマー信号REF1にตอบสนองして、リフレッシュコマンド発生回路25内で後述するリフレッシュフラグ信号が立つ。

【0083】そして、リフレッシュコマンド発生回路25は、（1）リフレッシュフラグ信号が立っている、（2）ブロックBLOCK-A、Bの選択アドレスがHレベル（ブロックAが選択）である、且つ（3）動作コマンドRD-A=WR-A="L"、の条件で、クロックCLK1に同期してリフレッシュコマンドREF-Aを発生する。

【0084】または、リフレッシュコマンド発生回路25は、（1）リフレッシュフラグ信号が立っている、（2）ブロックBLOCK-A、B選択アドレスがLレベル（ブロックBが選択）、（3）動作コマンドRD-B=WR-B="L"、の条件で、クロックCLK1に同期してリフレッシュコマンドREF-Bを発生する。

【0085】そして、各ブロック内の制御回路26は、リフレッシュコマンドREF-A（またはREF-B）に基づきブロックBLOCK-A（またはブロックBLOCK-B）でリフレッシュ

動作を実行する。具体的には、ブロックBLOCK-AまたはBのなかの選択されたサブブロックSBLKに対し、リフレッシュ動作が実行される。

【0086】図15に示される通り、第5の実施の形態例では、時間t0で供給される読み出しコマンドREAD-aに回答して、第1の内部動作サイクルIOC1において、ブロックBLOCK-A内のサブブロックSBLKで読み出し動作READ-Aaが実行され、ブロックBLOCK-B内にサブブロックSBLKで読み出し動作READ-Baが実行される。それぞれの読み出しデータQAa、QBaは、続く内部動作サイクルで入出力端子DQから出力される。

【0087】そして、内部リフレッシュ動作REF-Aが、第2の内部動作サイクルIOC2内に、ブロックBLOCK-A内のサブブロックSBLKに対して行われる。このサイクルIOC2では、ブロックBLOCK-A内では読み出し動作は行われていないからである。

【0088】図15では、時間t2で供給される読み出しコマンドREAD-bに回答して、上記と同様にブロックBLOCK-AとBLOCK-Bとで、第1及び第2の内部動作サイクルIOC1、IOC2それぞれにおいて読み出し動作が実行される。次に、時間t4では、バーストモード故に書き込みコマンドは供給されず、時間t6で書き込みコマンドWRITE-cが供給され、それに回答して、第1の内部動作サイクルIOC1にて、書き込みデータDACがブロックBLOCK-A内のサブブロックSBLK内のセルに書き込まれる。更に、第2の内部動作サイクルIOC2にて、書き込みデータDBCがブロックBLOCK-B内のサブブロックSBLK内のセルに書き込まれる。この場合は、時間t6の第1の内部動作サイクルIOC1で、ブロックBLOCK-B内のサブブロックSBLKに対して内部リフレッシュREF-Bが実行される。

【0089】尚、図16の構成例では、ブロックBLOCK-AとBLOCK-BのサブブロックSBLKは、それぞれ独立して構成されているように示されているが、たとえばブロックBLOCK-AとBLOCK-BのサブブロックSBLKが物理的に一体に構成されてもよく、アドレスによって論理的に分離されていれば良い。

【0090】図17は、第5の実施の形態例におけるメモリ回路の内部動作のタイミングチャートである。この例では、リフレッシュアドレスカウンタ22はブロックBLOCK-AとBLOCK-Bを交互に選択する。

【0091】ケース1では、読み出しコマンドRDaに回答して、内部動作サイクルIOC2で、ブロックBLOCK-Bからの読み出しBaと同時にブロックBLOCK-AでリフレッシュA0が実施されている。即ち、ブロックBLOCK-Aでの読み出し動作Aa中にリフレッシュタイマー信号REF1が発生した場合に、ブロックAでの読み出し動作が終了した後、次の内部動作サイクル中にブロックAでリフレッシュが実行される。

【0092】ケース2では、読み出しコマンドRDeに回答して、内部動作サイクルIOC1において、ブロックBLOCK-A

CK-Aからの読み出しAeと同時にブロックBLOCK-BでリフレッシュB0が実施されている。即ち、読み出しコマンドRDdに回答してブロックBで読み出し動作Bdを行っている最中に、リフレッシュのタイミングが来た場合は、次の外部動作サイクル中の第1の内部動作サイクルにて、ブロックBでのリフレッシュ動作が実行される。

【0093】ケース3では、書き込み動作とリフレッシュタイミングが重なった場合であり、書き込みコマンドWRgに回答して、内部動作サイクルIOC2において、ブロックBLOCK-Bへの書き込みBgと同時にブロックBLOCK-AでリフレッシュA1が実施されている。

【0094】そして、ケース4は外部からのコマンドとリフレッシュタイミングとが重ならない場合であり、その場合は、コマンドラッチ24から出力される読み出し信号RD-A、RD-B及び書き込み信号WR-A、WR-BのいずれもHレベルになっていないので、リフレッシュタイミングに回答して、いずれかの内部動作サイクル中にリフレッシュ動作が実行される。

【0095】尚、図17の例では、リフレッシュアドレスRAddは、交互にブロックAとBのアドレスになっているが、必ずしもそうする必要はない。ブロックAのアドレスを連続して発生した後に、ブロックBのアドレスを発生しても良く、ブロックAのアドレスを複数回連続させた後に、ブロックBのアドレスを複数回連続させても良い。上記のケース3において、リフレッシュアドレスRAddがブロックBのアドレスとすると、書き込みコマンドWRgに回答するブロックAの書き込み動作Ag中に、ブロックBでリフレッシュが実行される。

【0096】図18は、第5の実施の形態例におけるリフレッシュコマンド発生回路の例を示す図である。この回路構成は、図5において示した回路構成の、内部リフレッシュコマンドREFを生成するためのゲート33、34、35及びフリップフロップ37の部分で、2つの内部リフレッシュコマンドREF-A、REF-Bを生成するために二重に構成している。そして、それぞれの回路に、ブロックBLOCK-A、Bの選択機能が追加されている。それに伴い、図18中では、二重に構成されている回路には、引用番号にA、Bを与えている。

【0097】リフレッシュコマンド発生回路25には、バンク選択アドレスBAddに加えて、ブロックA、B選択アドレスBSAddが供給され、ゲート39Aとゲート39Bとでブロックが選択される。フリップフロップ37Aは、(1)リフレッシュフラグ信号RFLがHレベル、(2)ブロック選択アドレスBSAddがHレベル(ブロックAが選択)、且つ(3)動作コマンドRD-A=WR-A="L"、の条件で、クロックCLK1に同期してHレベルをラッチし、リフレッシュコマンドREF-Aを発生する。

【0098】または、フリップフロップ37Bは、(1)リフレッシュフラグ信号RFLがHレベル、(2)ブロック選択アドレスBSAddがLレベル(ブロックBが選

扱)、(3)動作コマンドRD-B=WR-B="L"、の条件で、クロックCLK1に同期してHレベルをラッチし、リフレッシュコマンドREF-Bを発生する。

【0099】第5の実施の形態例は、第3の実施の形態例と同様にバーストモードで読み出し、書き込みを行うが、第3の実施の形態例に比較して、各ブロック内のメモリアルレイMCから1回で読み出す(または書き込む)データ数が少なくいので、入出力データバスI/ODBの本数を少なくすることが出来る。

【0100】即ち、第3の実施の形態例では、例えば外部からの読み出しコマンドREADに対し、1クロック周期の間に平行に読み出したデータ(例えば32ビット)を、2クロック周期にわたってシリアルに半分ずつのデータ(例えば16ビット×2クロック)を出力する。それに対して、第5の実施の形態例では、1クロック周期で読み出したデータ(例えば16ビット)を次の1クロック周期で出力(例えば16ビット)する動作を、2クロック周期内(2内部動作サイクル内)にブロックA、Bで連続して行う。従って、第3の実施の形態例においては、1クロックの間に2クロック分のデータを、メモリアレイから平行に読み出すため、第5の実施の形態例に比較して、入出力データバスI/ODBの本数が2倍必要になる。よって、第5の実施の形態例はチップ面積の点で有利である。

【0101】[第6の実施の形態例]第5の実施例は、メモリアレイ(バンク)内のブロックをBLOCK-A、Bの2ブロック構成とし、一つの動作コマンドに対して両ブロックを動作させて2ビットバーストのデータ入出力を可能にしている。それに対して、第6の実施の形態例では、メモリアレイ(バンク)内のブロックを、例えばBLOCK-A、B、C、Dの4ブロック構成とし、4ビットバーストのデータ入出力を可能にしている。そして、第6の実施の形態例では、1つの外部動作サイクル内に、4つの内部動作サイクルが含まれて、4ビットのバースト長を可能にしている。そして、4つの内部動作サイクルの内、動作コマンドに対応する動作が行われていないメモリブロックで、適宜リフレッシュ動作が行われる。

【0102】図19は、第6の実施の形態例におけるメモリ回路の構成図である。また、図20は、その内部動作のタイミングチャート図である。更に、図21は、第6の実施の形態例に適用するリフレッシュコマンド発生回路の例を示す図である。

【0103】図19に示される通り、メモリバンク(メモリアレイ)BANK-0内には、論理的に分離された4つのメモリブロックBLOCK-A、B、C、Dが形成され、それぞれのブロックは、複数のサブブロックSBLKと、制御回路26Aと、セレクト28と、センスバッファ・ライトアンプSB/WAを有する。そして、バンク内のコマンドラッチ24は、一つの動作コマンドにตอบสนองして、自分のバンクが選択されている場合に、読み出し信号RD-Aまたは書き込み

信号WR-Aを発生する。

【0104】コマンドラッチ24の後段には、3個のシフトレジスタ60B、60C、60Dが直列に並べられ、図20に示される通り、上記のコマンド信号RD-A、B、C、D、WR-A、B、C、Dが、1クロックCLK1ずつ遅らせながらブロックBLOCK-A、B、C、Dに順番に送られる。そして、各ブロックは、それらのコマンド信号にตอบสนองして、読み出し動作または書き込み動作を、外部動作コマンド(例えばRDa)の供給に続いて、4つの内部動作サイクル内で順番に実行する。各ブロックでの読み出し動作の後に、入出力端子DQからそれぞれの読み出しデータ(例えばQAa、QBa、QCa、QDa)を順番に出力する。従って、外部からのコマンドサイクルは、読み出しコマンドRDについて、4クロックサイクル毎に供給され、読み出しコマンドRDcの後の書き込みコマンドWRgは、6クロックサイクル後に供給される。

【0105】図21に示したリフレッシュコマンド発生回路25は、図18の回路に比較すると、更に4つの内部リフレッシュコマンドREF-A、B、C、Dを生成するための回路ブロック62A、B、C、Dが設けられている点で異なる。それぞれの回路ブロック62は、バンク選択アドレスBAddとブロック選択アドレスBCAddにより、リフレッシュすべきブロックに対する内部リフレッシュコマンドREF-A、B、C、Dを生成する。その生成条件は、図18の場合と同じであり、バンク選択アドレスBAddが自分のバンクを選択(Hレベル)しており、ブロック選択アドレスBSAddがHレベルであり、自分のブロックに対する動作コマンド信号RD、WRが共にLレベルの時である。

【0106】図20のタイミングチャートに示される通り、ケース1では、ブロックAで読み出し動作(Aa)中にブロックAにリフレッシュタイミングが重なった例であり、読み出し動作Aaが終了した後の第2の内部動作サイクルで、リフレッシュA0が実行される。ケース2では、ブロックC、Dで読み出し動作Cb中にブロックBのリフレッシュタイミングが重なった例であり、読み出し動作Cbが終了した後の第4の内部動作サイクルで、リフレッシュB0が実行される。ケース3も同様である。そして、ケース4では、内部動作が行われていない時にブロックDへのリフレッシュタイミングが発生した例であり、その場合は、即、次の内部動作サイクルでリフレッシュD0が実行される。

【0107】第6の実施の形態例においても、各入出力データバスI/ODBは、第5の実施の形態例と同様に少ないバス数で良い。

【0108】[第7の実施の形態例]第7の実施の形態例は、4ビットバーストで入出力する別の例である。図22は、第7の実施の形態例におけるメモリ回路の構成図である。また、図23は、その内部動作のタイミングチャート図である。

【0109】図22に示される通り、この実施の形態例

のでは、メモリコアであるバンク内に例えば2つのブロックBLOCK-A, Bを論理的に分けて設け、1つのコマンドに対し、BLOCK-A → BLOCK-B → BLOCK-A → BLOCK-Bで対応する動作を繰り返すことにより、4ビットバーストを実現する。そして、1回目のブロックBLOCK-Aでの動作と2回目のブロックBLOCK-Aでの動作では、選択されるメモリセルを変える。そのためにアドレスバッファ14の後段に、ブロック内のアドレスをインクリメントするアドレスカウンタ62が設けられる。

【0110】また、バンク内の2つのブロックに対する動作コマンド信号RD-A, B, WR-A, Bは、コマンドラッチ24が発生した動作コマンド信号RD-A0, WR-A0を、3個のシフトレジスタ60B, C, Dにより1クロックサイクルずつ遅延させ、NORゲート64, 65を介して、供給される。ブロック内の制御回路26Aは、供給された動作コマンドRD-A, B, WR-A, Bにตอบสนองして、対応する動作をそれぞれのブロックで実行する。

【0111】図23において、読み出しコマンドRDaが入ると、アドレスカウンタ62は外部から入力されたアドレス信号に基づきアドレスa0を発生する。一方、コマンドラッチ24からの読み出し信号RD-A0と、1クロック遅延後にシフトレジスタ60Bからの読み出し信号RD-B0とにตอบสนองして、ブロックBLOCK-A, Bにおいて、アドレスa0に対応するメモリセルがそれぞれ選択され、ブロックBLOCK-A, BLOCK-Bの順番で読み出しAa0, Ba0が実施される。次に、アドレスカウンタ62が2クロック後に自動的にアドレスa0をカウントアップしてアドレスa1を発生する。シフトレジスタ60Cからの読み出し信号RD-A1と、1クロック遅れのシフトレジスタ60Dからの読み出し信号RD-B1とにตอบสนองして、ブロックBLOCK-A, Bにおいて、アドレスa1に対応するメモリセルがそれぞれ選択され、ブロックBLOCK-A, BLOCK-Bの順番で読み出しAa1, Ba1が実施される。以上で4ビットバースト読み出しが終了する。

【0112】第7の実施の形態例では、メモリコア（バンク）内に2つのメモリブロックが設けられ、外部からの動作コマンドにตอบสนองして、2つのメモリブロックが交互に対応する動作を繰り返す。従って、第5の実施の形態例のように、外部動作サイクル内の2つの内部動作サイクルにおいて、一方のメモリブロックで内部動作が実行されているサイクル中は他方のメモリブロックのリフレッシュ動作を実行する。

【0113】このように、第7の実施の形態例では、1つの外部動作サイクル内に4つの内部動作サイクルが含まれて、バースト長4の動作を可能にしている。そして、4つの内部動作サイクルの内、内部動作が行われていないブロックで、リフレッシュ動作が実行される。

【0114】図23のケース1では、リフレッシュアドレスRAddがブロックAに対するアドレスA0であるので、ブロックBで読み出し動作Ba0が実行されている間に、

ブロックAに対してリフレッシュ動作A0が実行される。逆に、ケース2では、リフレッシュアドレスRAddがブロックBに対するアドレスB0であるので、ブロックAで読み出し動作Ac0が実行されている間に、ブロックBに対してリフレッシュ動作B0が実行される。また、ケース3では、ブロックBで書き込み動作Bd0が実行されている間に、ブロックAでリフレッシュ動作A1が実行される。ケース4では、いずれのブロックも内部動作が行われていないので、リフレッシュタイミング後に即選択されたブロックでリフレッシュ動作B1が実行される。

【0115】第7の実施の形態例に適用するリフレッシュコマンド発生回路25は、図18の第5の実施例のものと同様である。

【0116】第7の実施の形態例では、シフトレジスタ60B, C, Dを適宜制御することにより、2ビットバーストモード、4ビットバーストモードを適宜実行することが可能である。例えば、バースト長が2ビットの場合は、シフトレジスタ60C, 60Dの出力は禁止され、バースト長が4ビットの場合は、その出力が許可されるようにすれば良い。更に、シフトレジスタの数を7個にすると、バースト長が8ビットの場合にも対応することができる。バースト長が2の場合は、ブロックA, Bで1回ずつ動作を実行し、バースト長が4の場合は、ブロックA, Bで2回ずつ動作を実行し、バースト長が8の場合は、ブロックA, Bで4回ずつ動作を実行すればよい。

【0117】以上、いくつかの実施の形態例では、1つの外部動作サイクルに対して、2つの内部動作サイクルを割り当てた。しかし、本発明はそれに限定されず、別の実施の形態例の如く、1つの外部動作サイクルに複数の内部動作サイクルを割り当てて、メモリコア内において、コマンドに対応する内部動作を実行していない内部動作サイクル中にリフレッシュを実行するようにしても良い。

【0118】更に、第7の実施の形態例において、メモリコア内のブロックの数は、2個に限定されず、任意の複数個であってもよい。その場合は、その複数のブロックに対して、順番に内部動作サイクルに同期して所定の動作が実行される。

【0119】更に、上記の実施の形態例では、通常動作モード時もパワーダウンモード時も同様に、内部で発生されるリフレッシュタイマー信号にตอบสนองして、所定の内部動作サイクル中にリフレッシュが実行される。

【0120】以上、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0121】

【発明の効果】以上、本発明によれば、メモリコントローラは、ダイナミックメモリ回路のリフレッシュ動作を管理する必要がない。また、メモリ回路内部で発生するリフレッシュタイミングにตอบสนองして、外部コマンドに対

応する内部動作が実行されていない内部動作サイクル中にリフレッシュが実行されるので、メモリコントローラは、リフレッシュタイミングを考慮することなく、任意のタイミングで動作コマンドを発行することができる。

【図面の簡単な説明】

【図 1】本発明が適用される好ましいメモリアの動作を示すタイミングチャート図である。

【図 2】第 1 の実施の形態例における動作概略図である。

【図 3】第 1 の実施の形態例におけるメモリ回路の構成図である。

【図 4】第 1 の実施の形態例における内部動作のタイミングチャート図である。

【図 5】第 1 の実施の形態例におけるリフレッシュコマンド発生回路の回路図である。

【図 6】第 2 の実施の形態例の動作図である。

【図 7】第 2 の実施の形態例におけるメモリ回路の構成図である。

【図 8】第 2 の実施の形態例における内部動作のタイミングチャート図である。

【図 9】第 3 の実施の形態例の動作図である。

【図 10】第 3 の実施の形態例におけるメモリ回路の構成図である。

【図 11】第 3 の実施の形態例における内部動作のタイミングチャート図である。

【図 12】第 4 の実施の形態例におけるメモリ回路の構成図である。

【図 13】クロック逡倍回路の第 1 の回路例及びその動作を示す図である。

【図 14】クロック逡倍回路の第 2 の回路例及び動作を

示す図である。

【図 15】第 5 の実施の形態例の動作図である。

【図 16】第 5 の実施の形態例におけるメモリ回路の構成図である。

【図 17】第 5 の実施の形態例における内部動作のタイミングチャート図である。

【図 18】第 5 の実施の形態例におけるリフレッシュコマンド発生回路の回路図である。

【図 19】第 6 の実施の形態例におけるメモリ回路の構成図である。

【図 20】第 6 の実施の形態例における内部動作のタイミングチャート図である。

【図 21】第 7 の実施の形態例におけるリフレッシュコマンド発生回路の回路図である。

【図 22】第 7 の実施の形態例におけるメモリ回路の構成図である。

【図 23】第 7 の実施の形態例における内部動作のタイミングチャート図である。

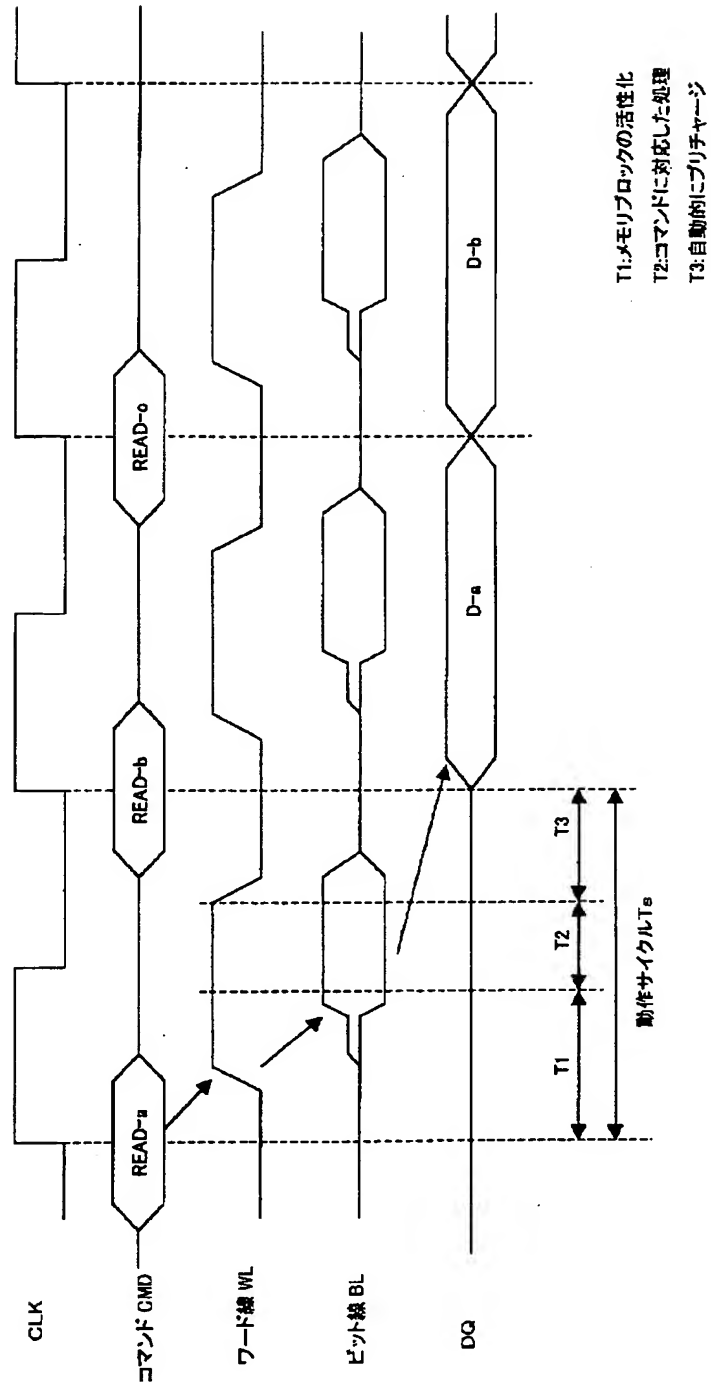
【図 24】従来の同期型ダイナミックメモリ回路の構成を示す図である。

【符号の説明】

EOC	外部動作サイクル
IOC1、IOC2	第 1、第 2 の内部動作サイクル
BANK	メモリア、バンク
BLK	ブロック
READ、WRITE	読み出しコマンド、書き込みコマンド
RD、WR	読み出しコマンド（信号）、書き込みコマンド（信号）
REF1	リフレッシュタイマー信号
REF	内部リフレッシュコマンド

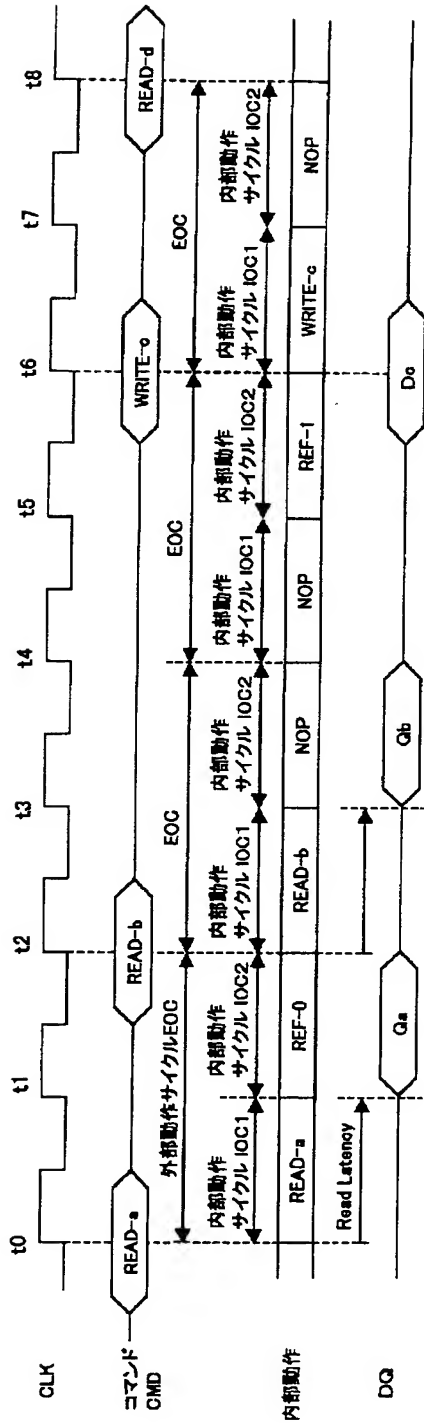
【図1】

本発明に適用するメモリアの動作図



【図2】

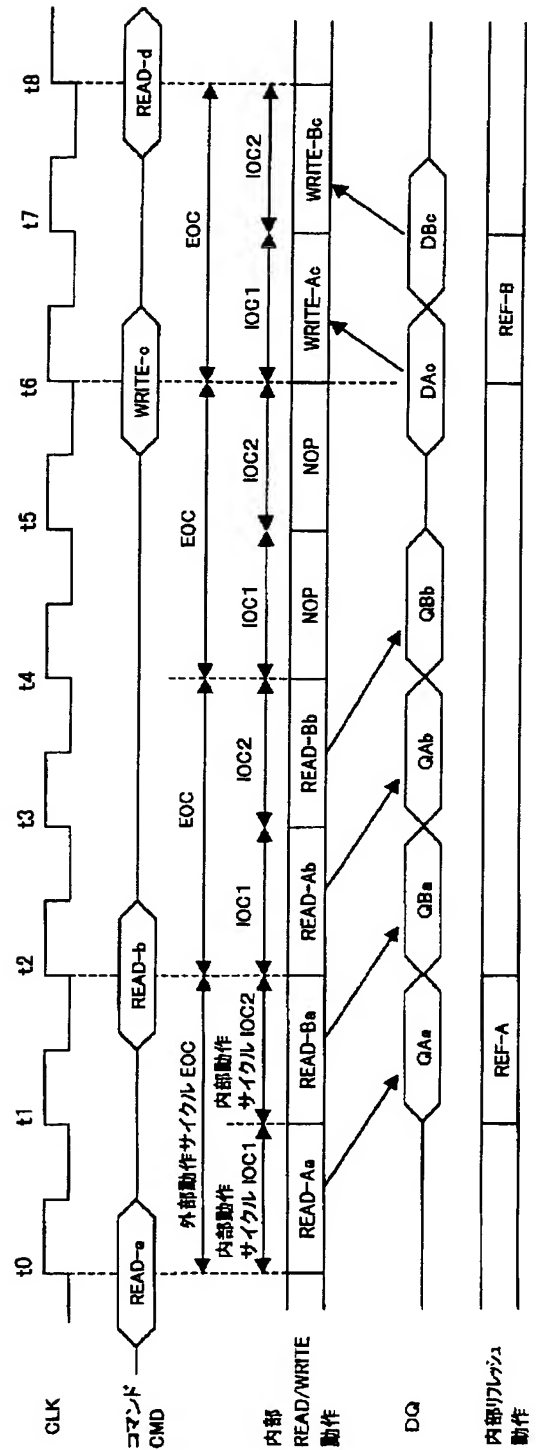
第1の実施の形態例の動作図



NOP : 非動作
 REF : リフレッシュ
 READ : 読出し
 WRITE : 書込み

【図15】

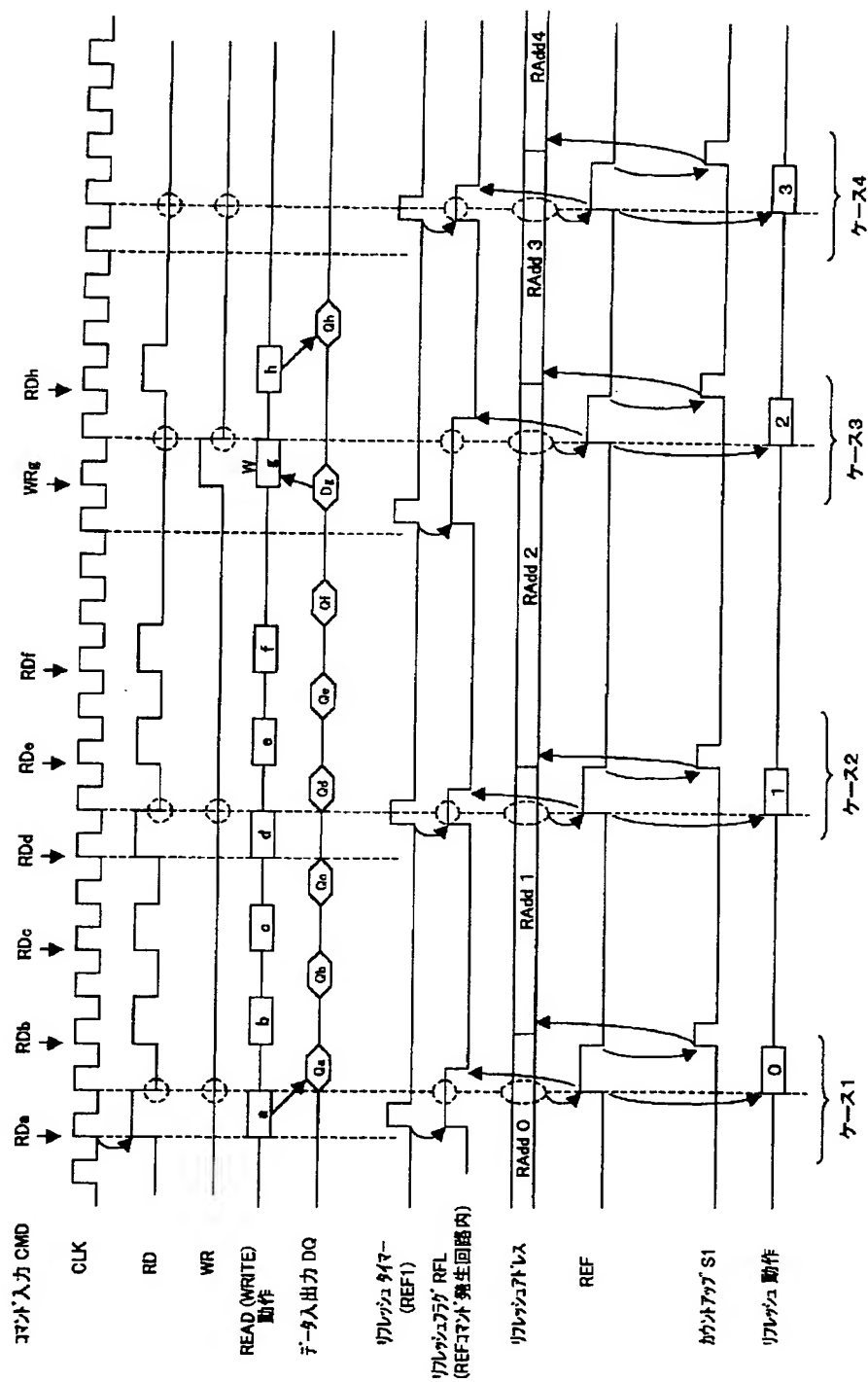
第5の実施の形態例の動作図



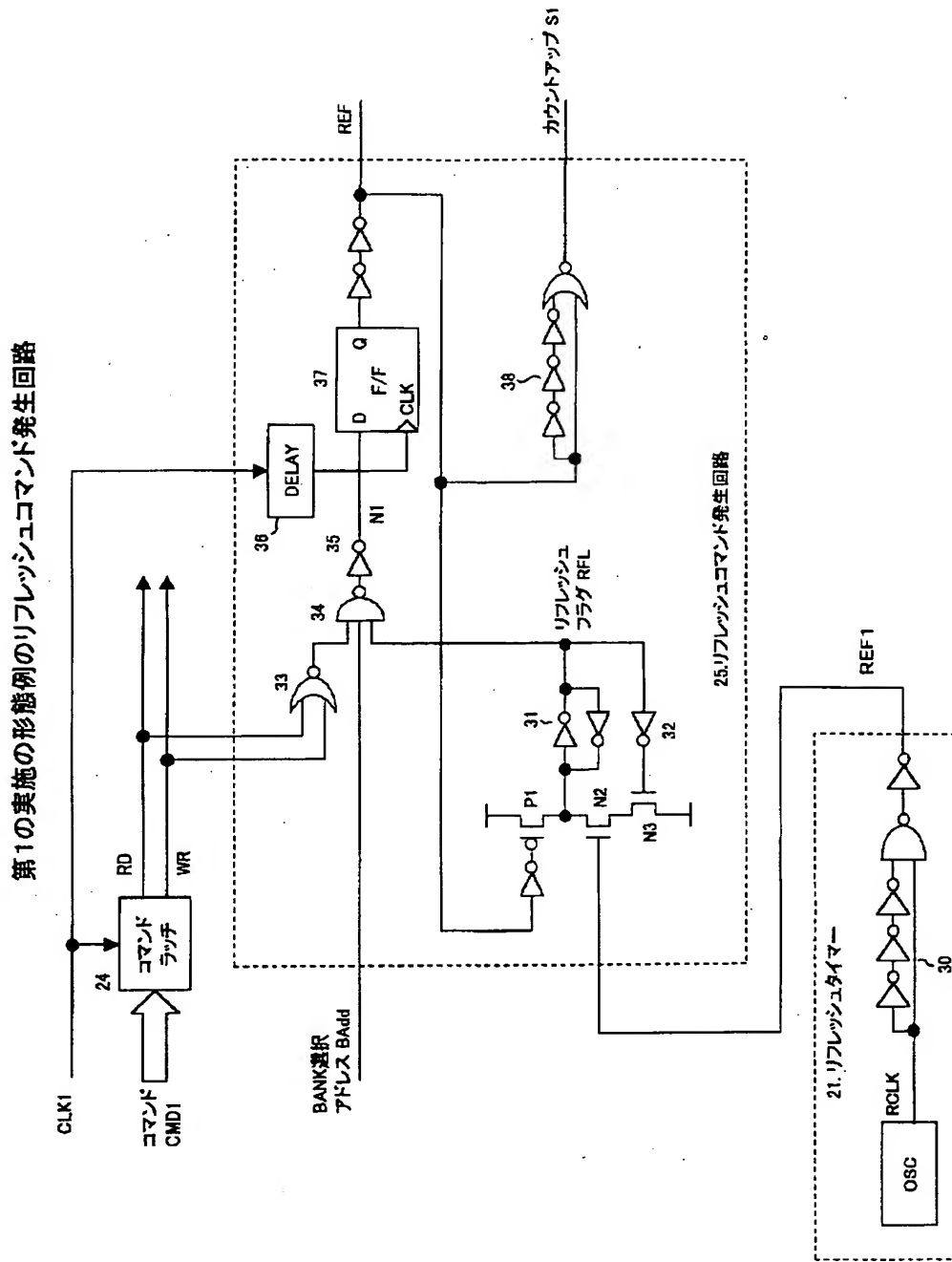
内部リフレッシュ動作

【図4】

第1の実施の形態例の内部動作

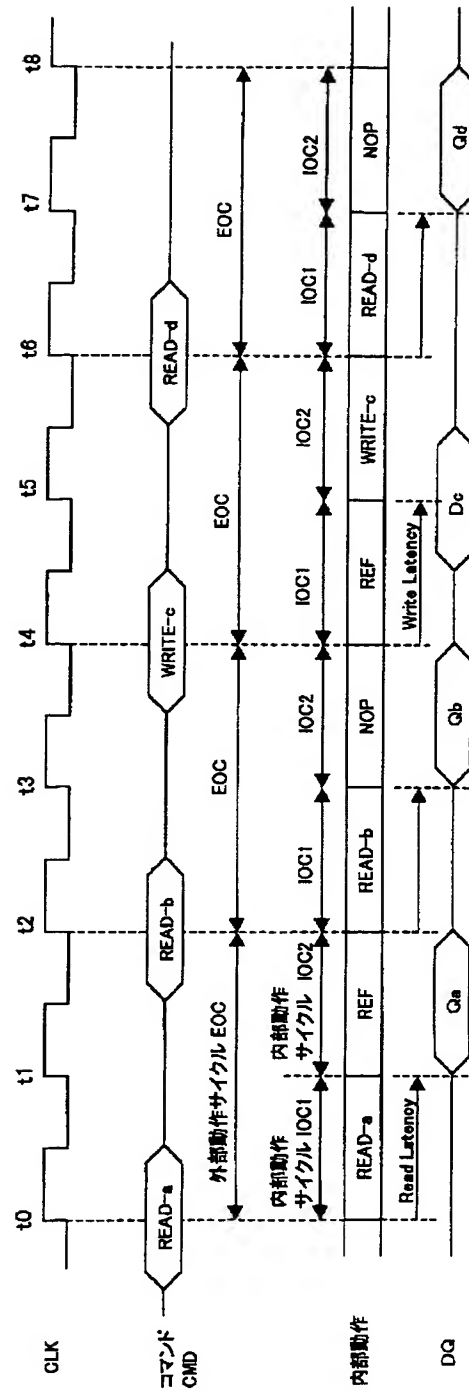


【図5】



【図6】

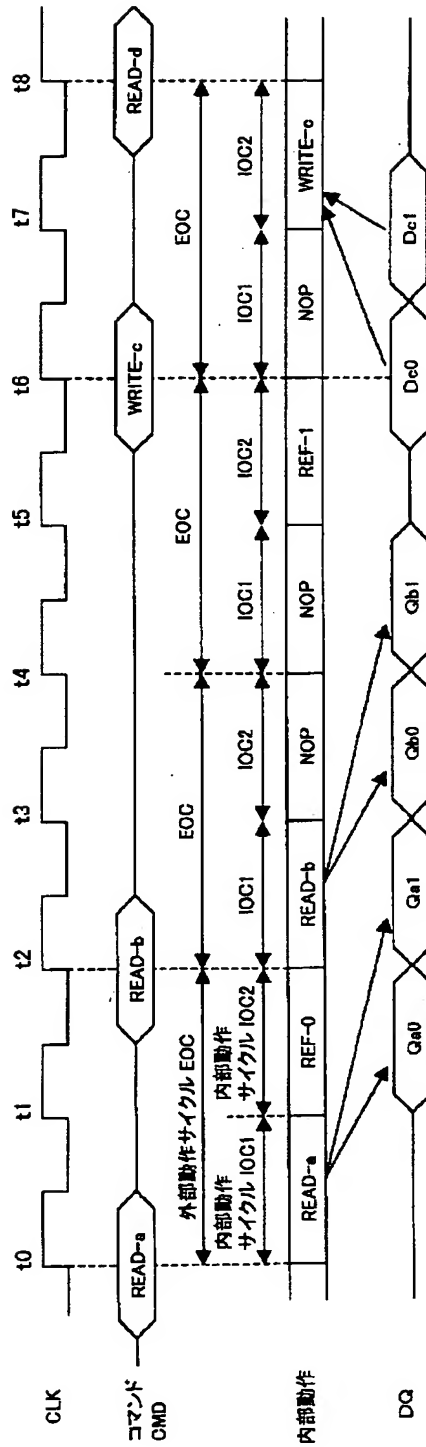
第2の実施の形態例の動作図



NOP : 非動作
 REF : リフレッシュ
 READ : 読出し
 WRITE : 書込み

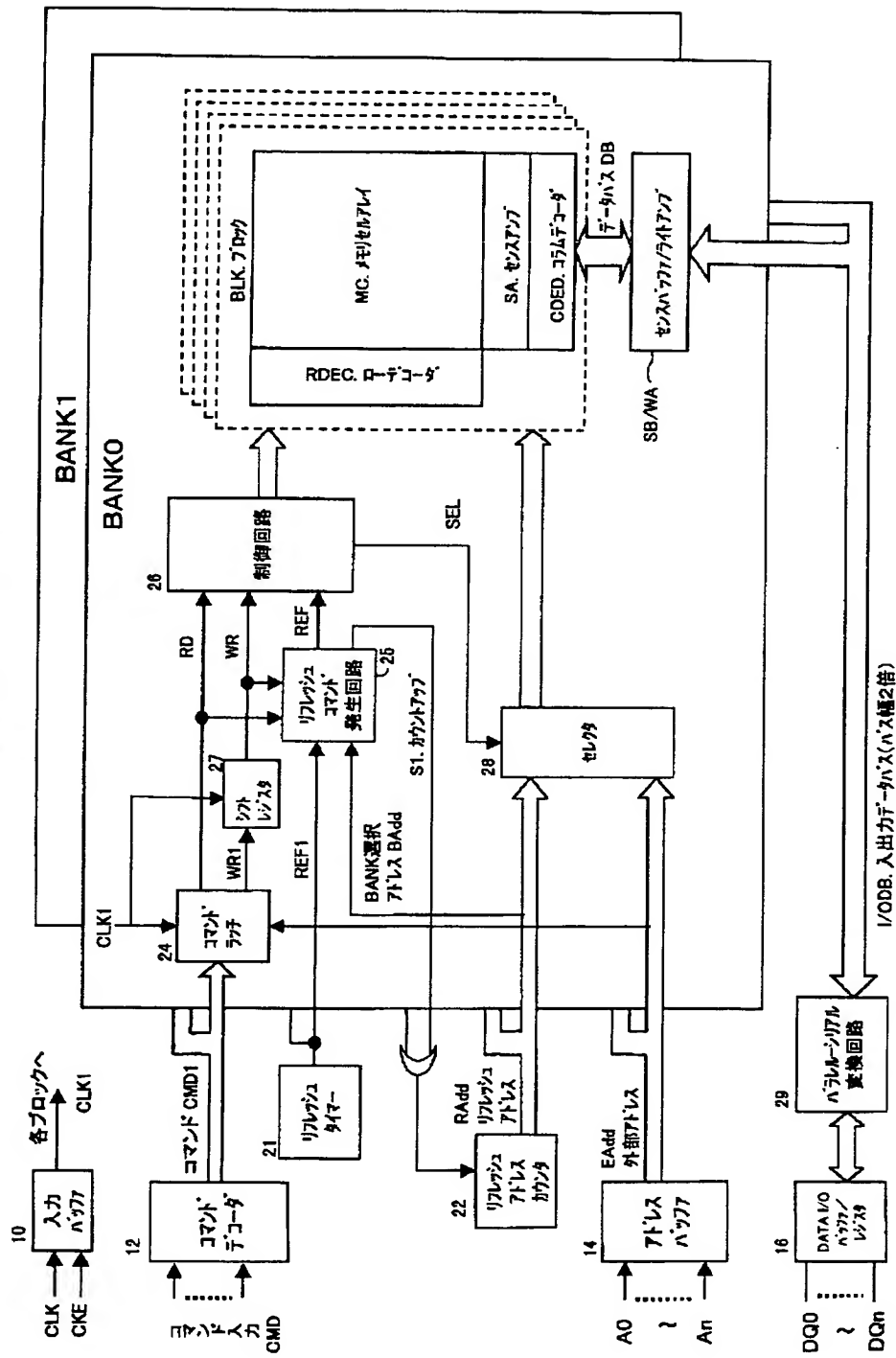
【図9】

第3の実施の形態例の動作図



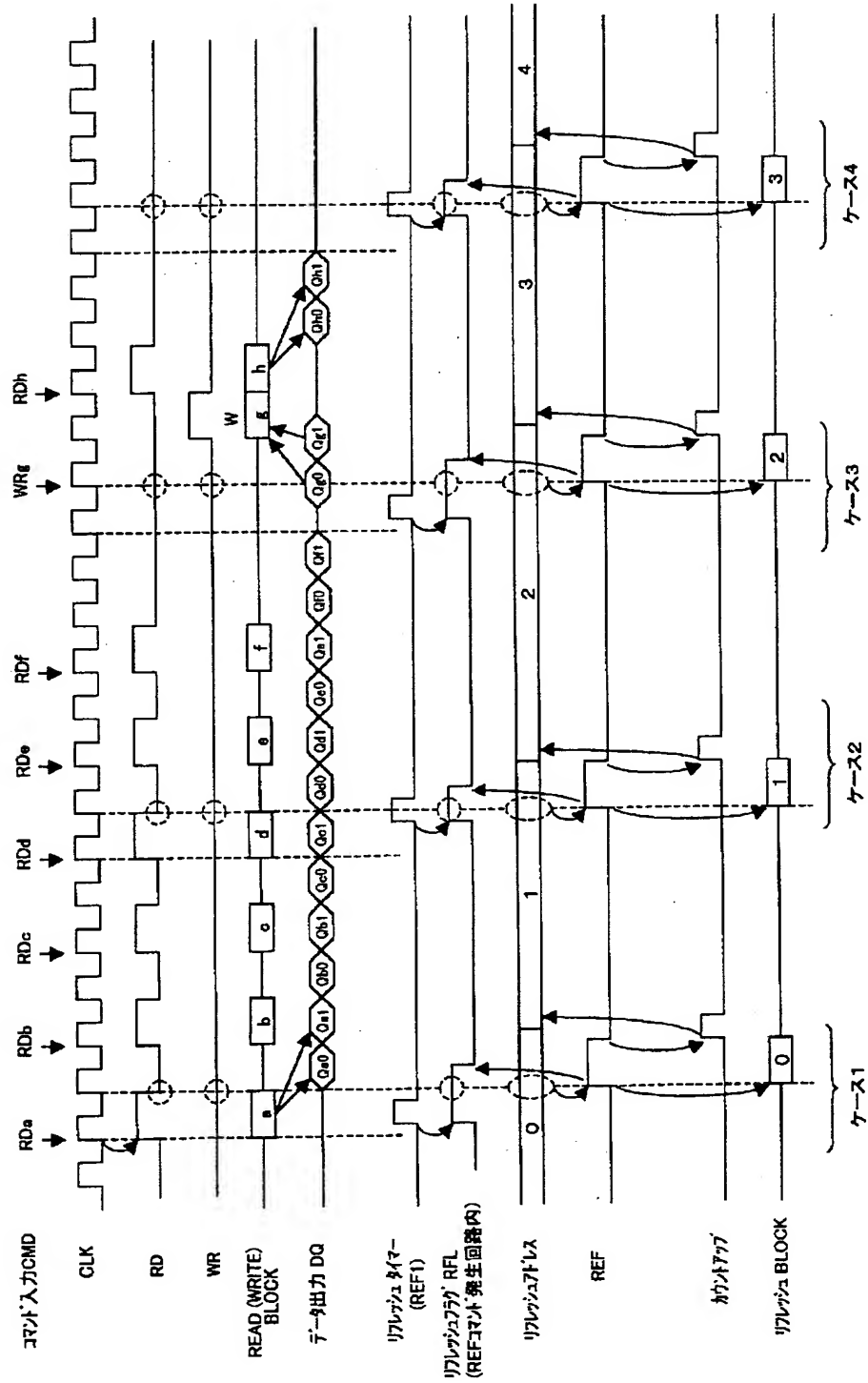
【図10】

第3の実施の形態例の構成図



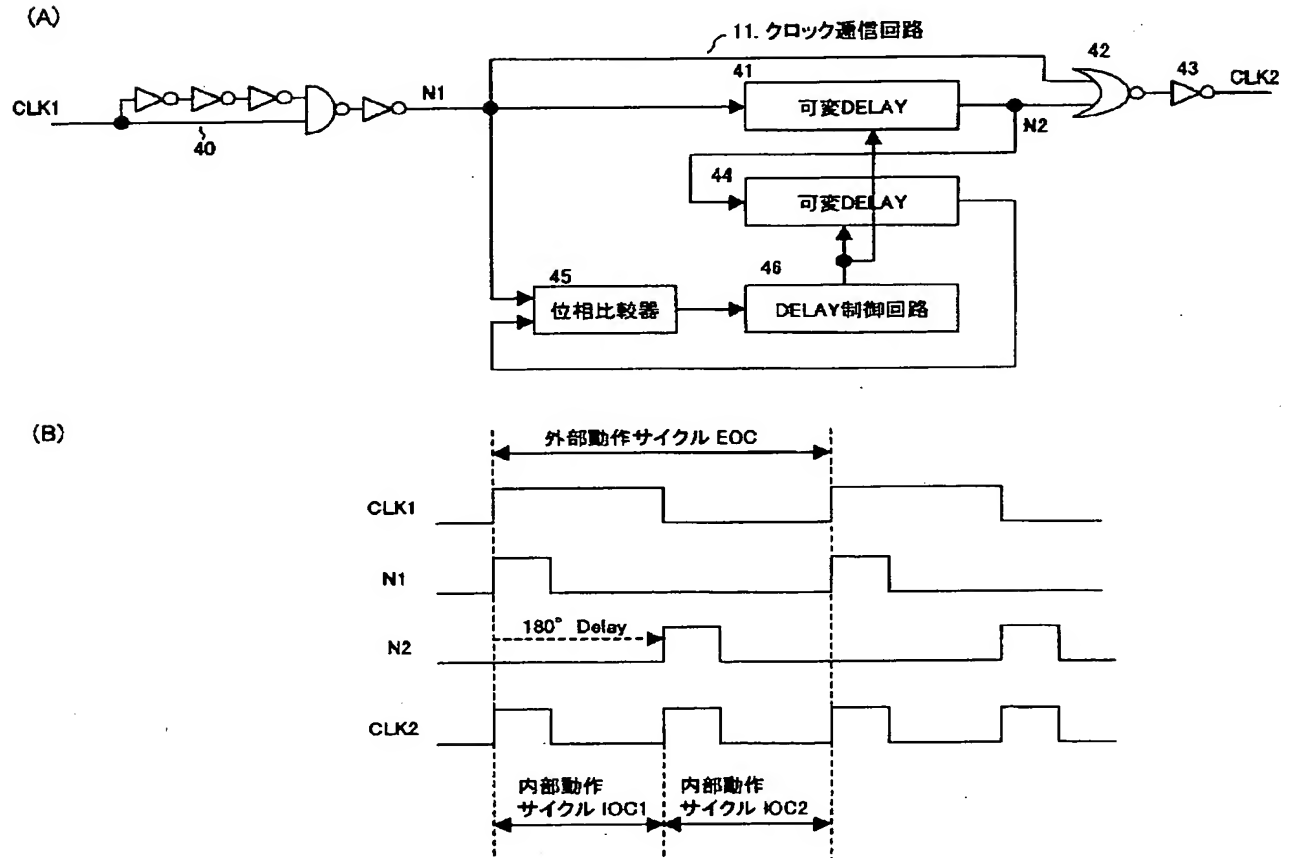
【図 11】

第3の実施の形態例の内部動作



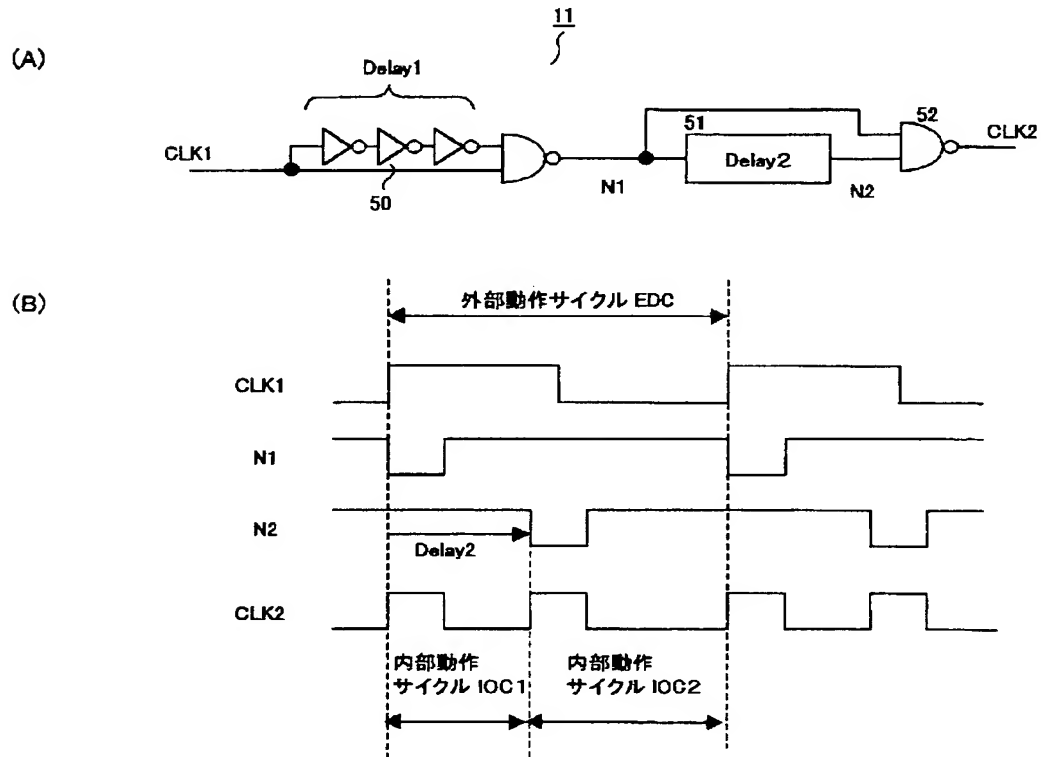
【図13】

クロック通倍回路の回路例と動作図



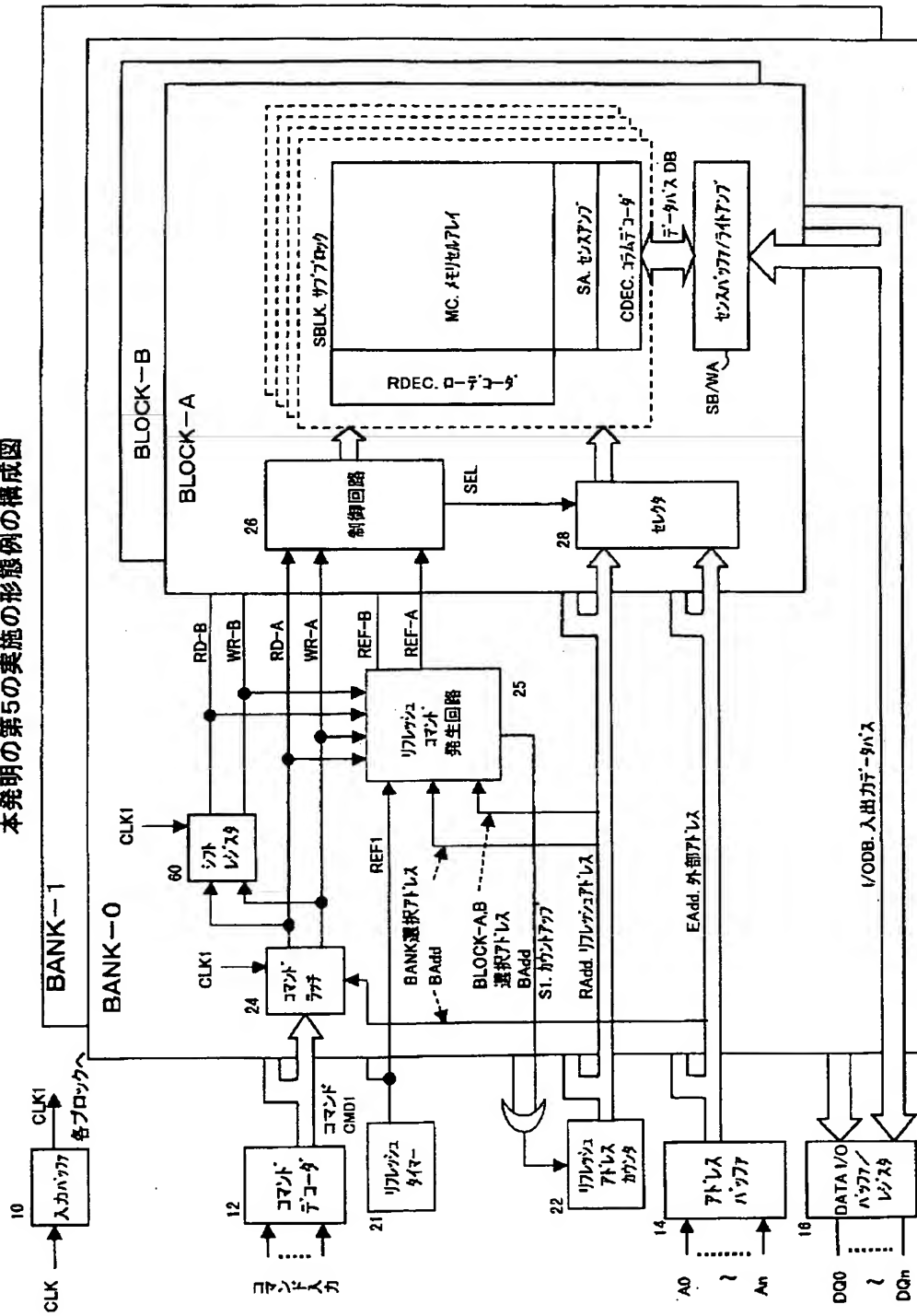
【図14】

固定DELAYでクロックサイクルを2分割する場合の回路例と動作図



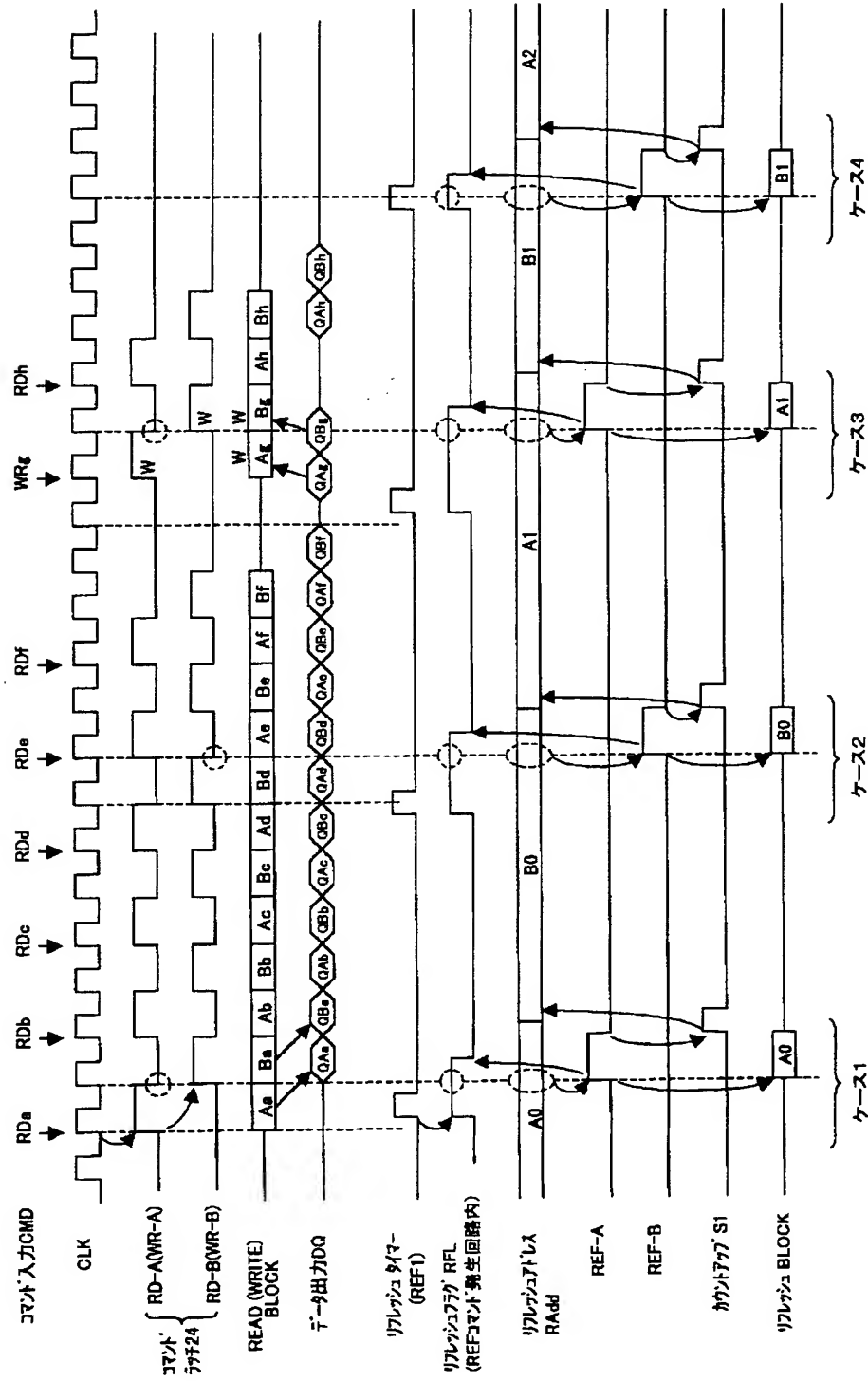
【図16】

本発明の第5の実施の形態例の構成図



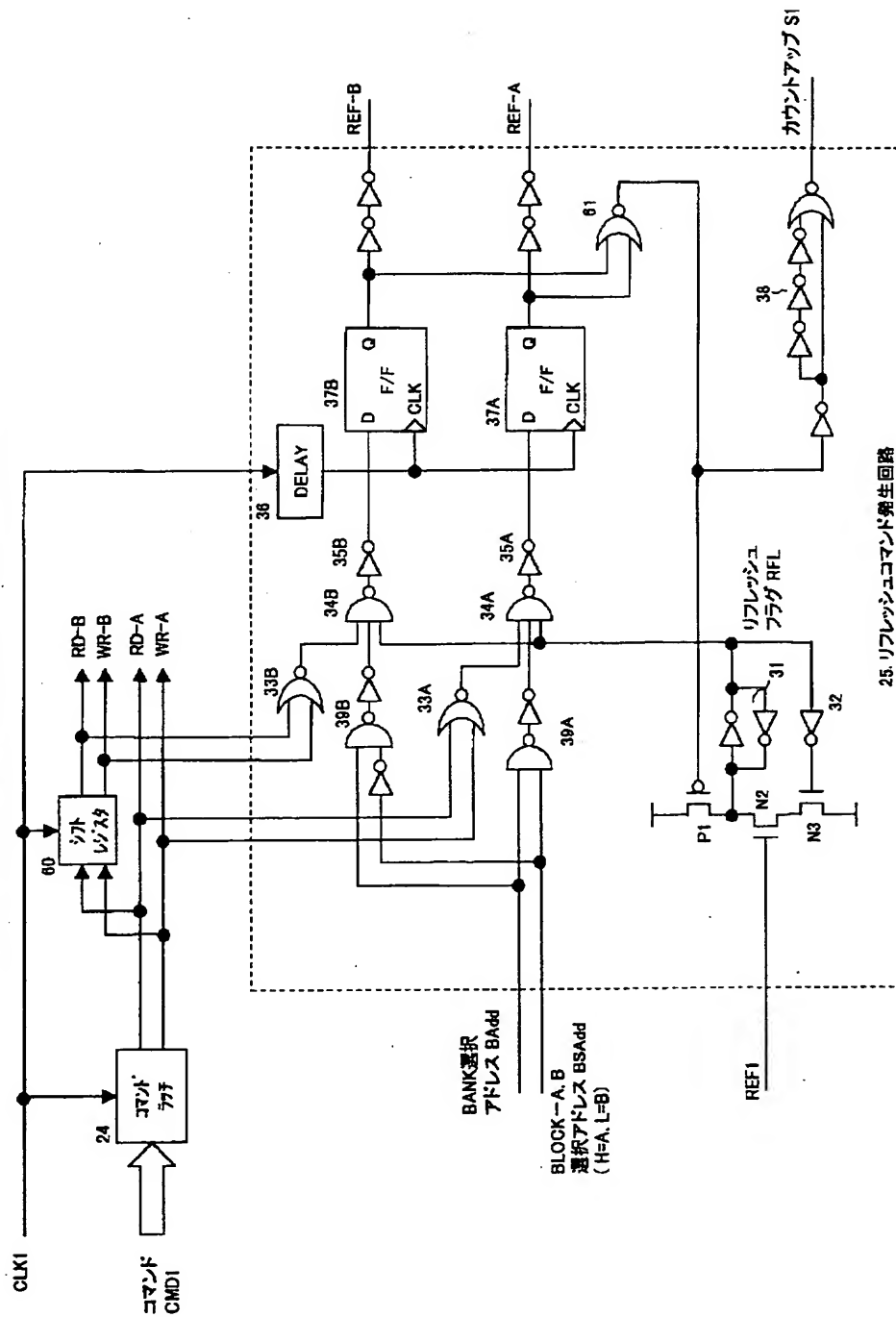
【図17】

第5の実施の形態例の内部動作



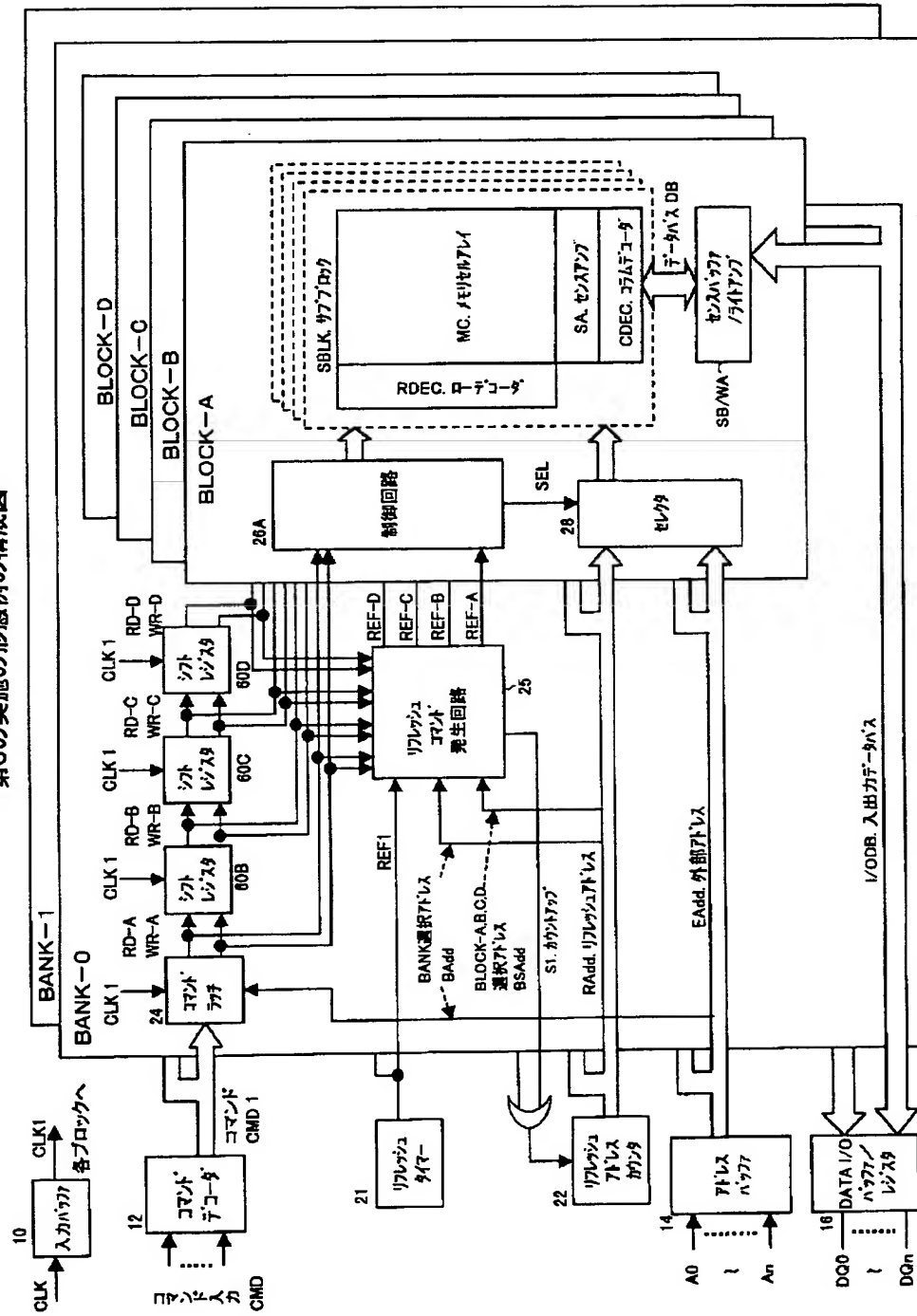
【図18】

第5の実施の形態例のリフレッシュコマンド発生回路



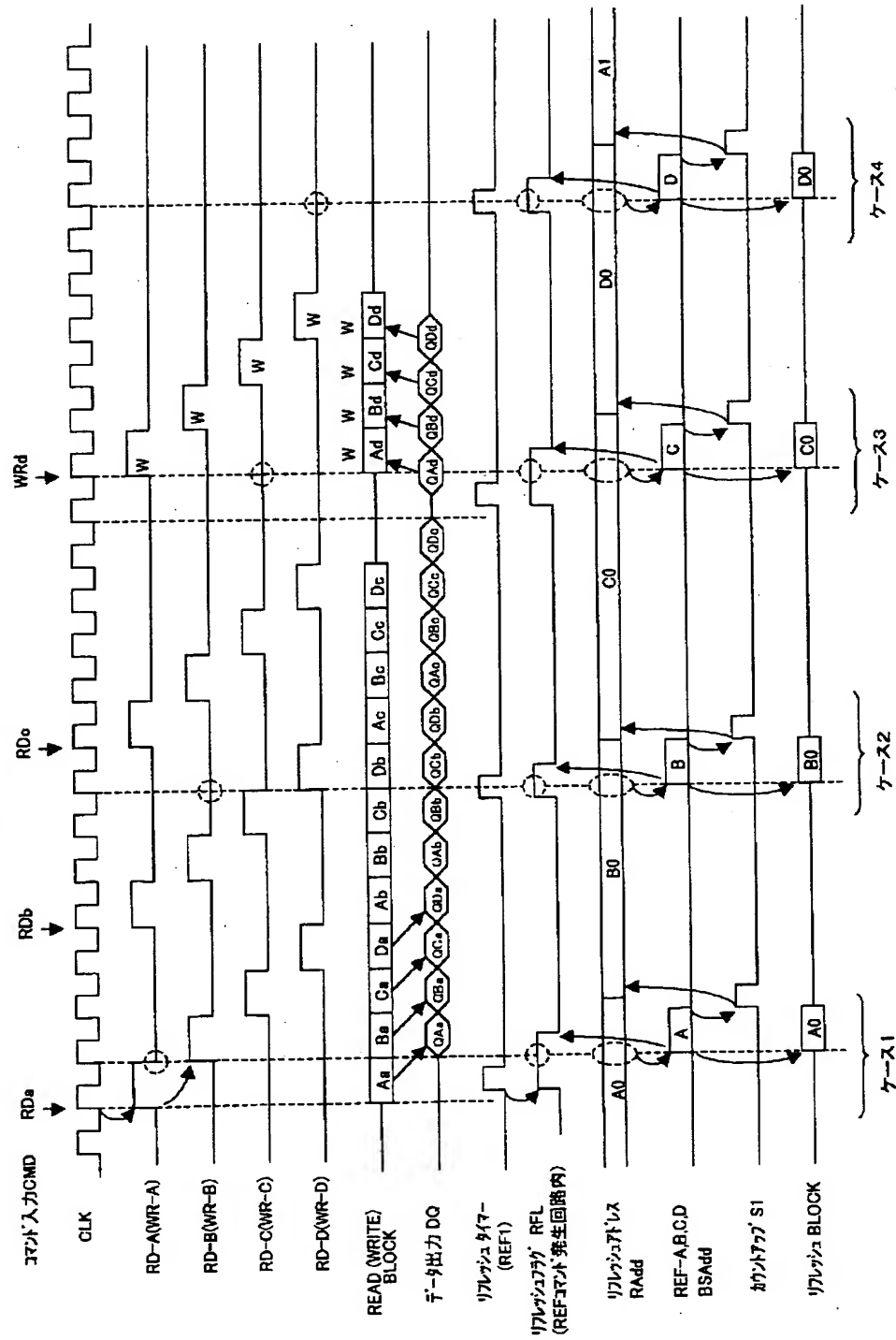
【図 19】

第6の実施の形態例の構成図

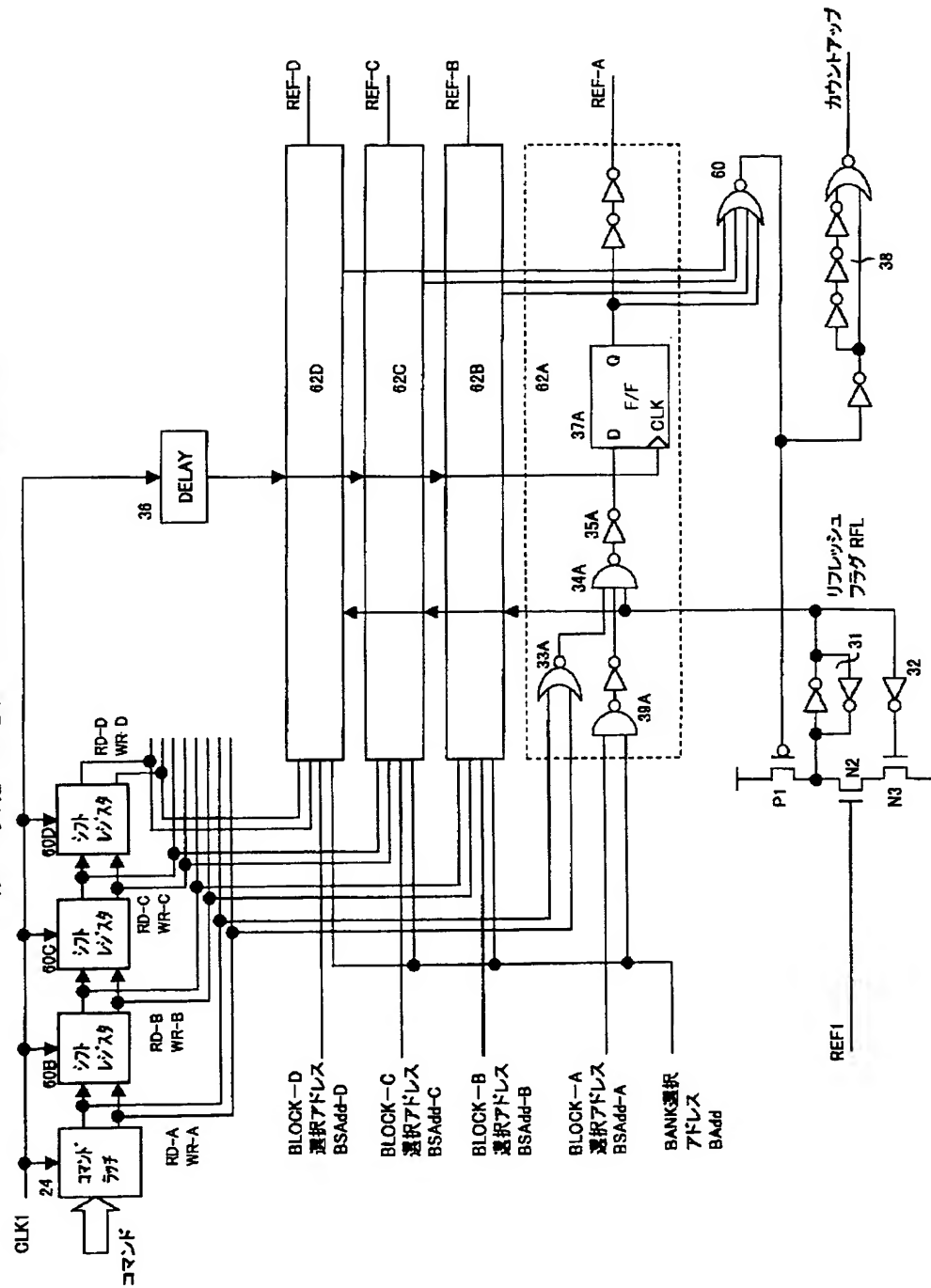


【図20】

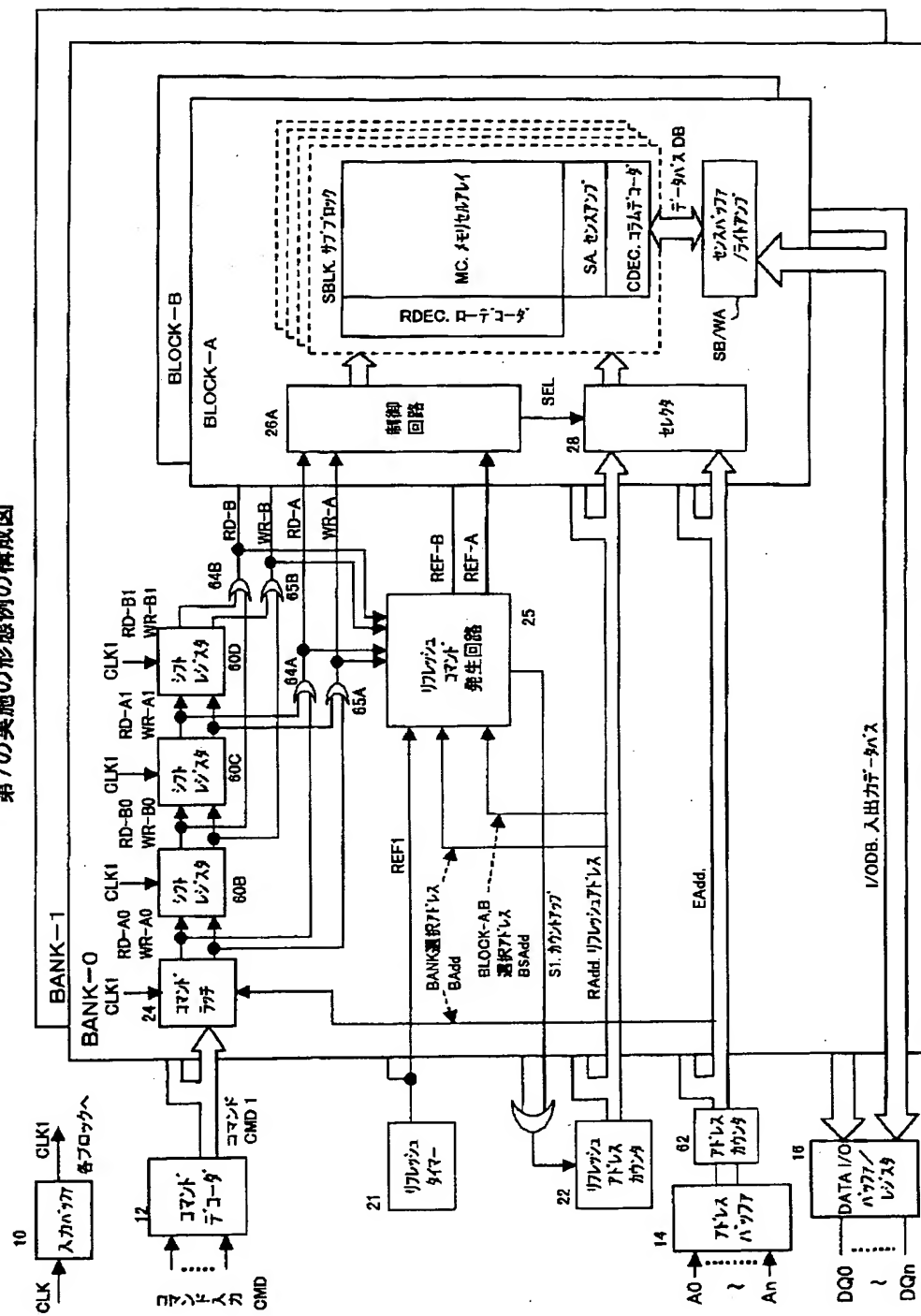
第6の実施の形態例の内部動作



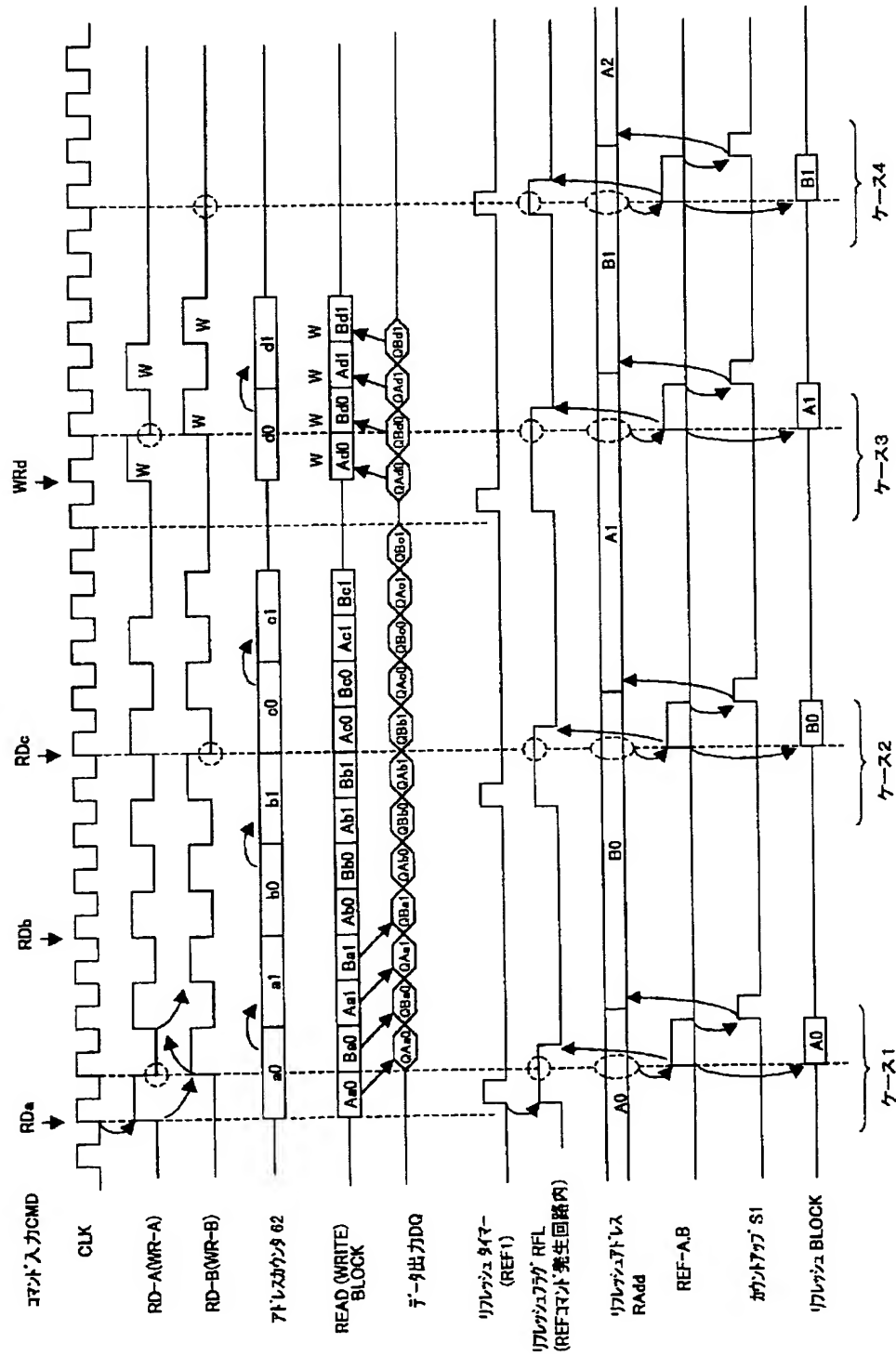
第6の実施の形態例のリフレッシコマンド発生回路



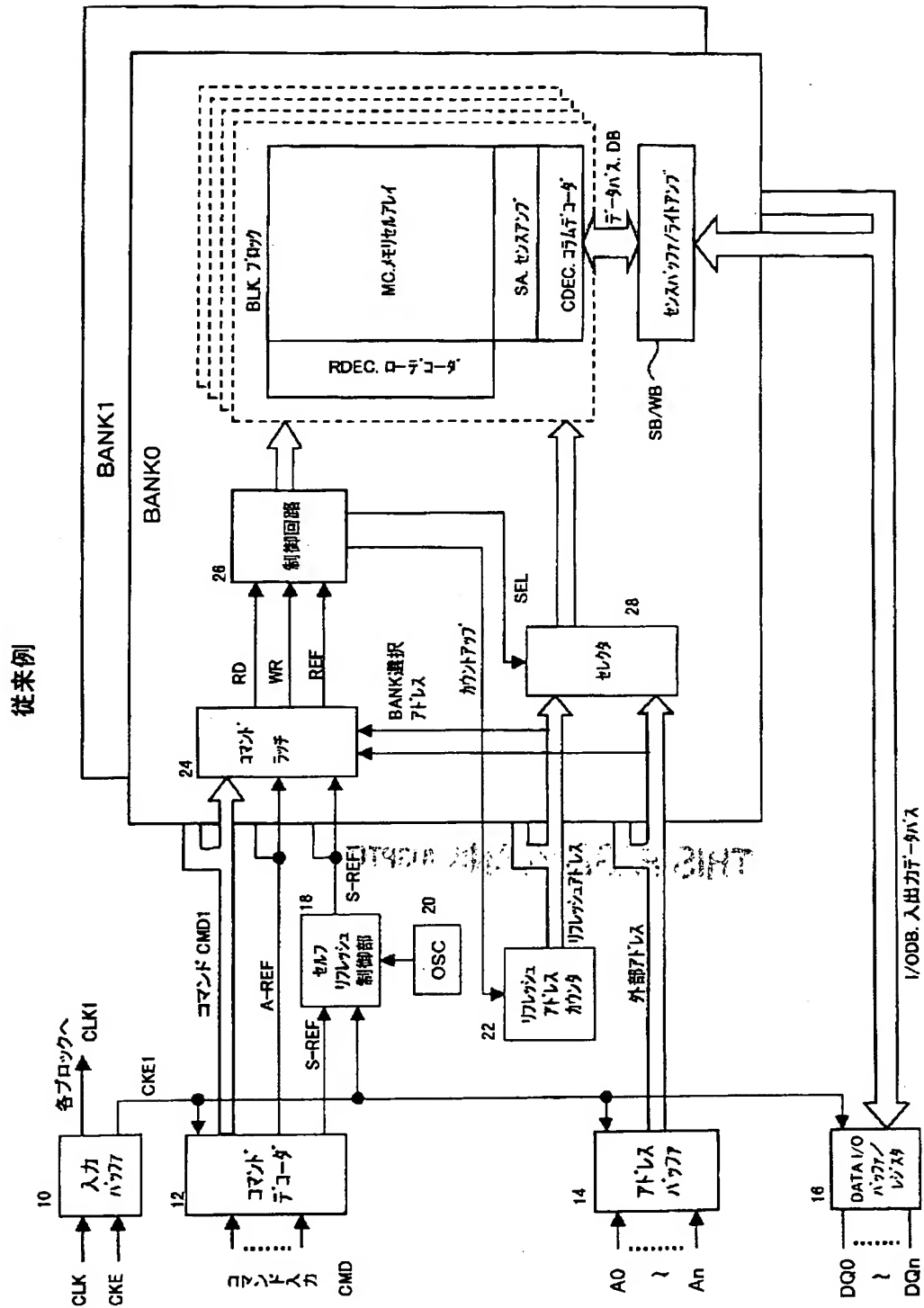
第7の実施の形態例の構成図



第7の実施の形態例の内部動作



【図 24】



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO) .